

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2004年2月26日 (26.02.2004)

PCT

(10)国際公開番号
WO 2004/017628 A1

(51) 国際特許分類7: H04N 5/232 (71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(21) 国際出願番号: PCT/JP2003/009407 (72) 発明者; および

(22) 国際出願日: 2003年7月24日 (24.07.2003) (75) 発明者/出願人(米国についてのみ): 山本 靖利 (YAMAMOTO,Yasutoshi) [JP/JP]; 〒573-1101 大阪府枚方市楠葉中之芝1-5-19 Osaka (JP). 塙 知章 (TSUTSUMI,Tomoaki) [JP/JP]; 〒571-0033 大阪府門真市一番町6-5-304 Osaka (JP). 谷添 幸広 (TANIZOE,Yukihiro) [JP/JP]; 〒571-0071 大阪府門真市上島町33-12-201 Osaka (JP).

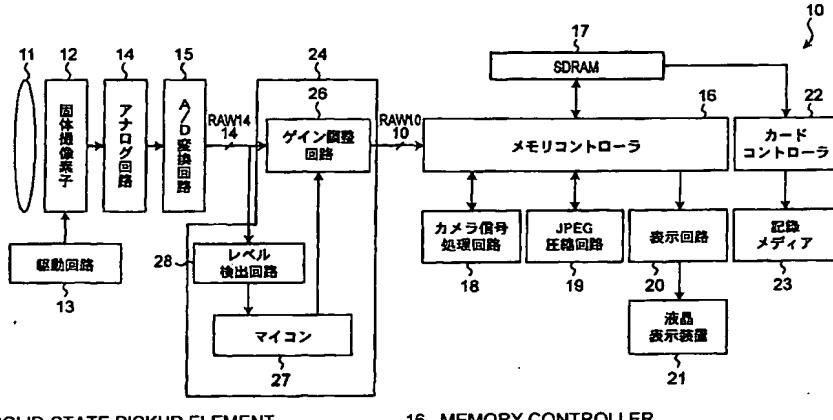
(25) 国際出願の言語: 日本語 (26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-214765 2002年7月24日 (24.07.2002) JP
特願2002-301829 2002年10月16日 (16.10.2002) JP

[統葉有]

(54) Title: IMAGE PICKUP SYSTEM

(54)発明の名称: 撮像システム



12...SOLID-STATE PICKUP ELEMENT
14...ANALOG CIRCUIT
15...A/D CONVERSION CIRCUIT
26...GAIN ADJUSTMENT CIRCUIT
13...DRIVE CIRCUIT
28...LEVEL DETECTION CIRCUIT
27...MICROCOMPUTER

16...MEMORY CONTROLLER
22...CARD CONTROLLER
18...CAMERA SIGNAL PROCESSING CIRCUIT
19...JPEG COMPRESSION CIRCUIT
20...DISPLAY CIRCUIT
23...RECORDING MEDIUM
21...LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract: An image pickup system includes image pickup devices (12, 14, 15) for outputting a plurality of digital signals indicating light quantity applied to each of two-dimensionally arranged pixels, a pre-processing device (24) for reducing the data amount of the digital signals output from the image pickup devices (12, 14, 15), digital signal processing devices (18-20) for processing the digital signals, a storage device (17) for storing the digital signals, and a storage control device (16) for storing in the storage device (17) the digital signals output from the pre-processing device (24) and reading out the digital signals from the storage device (17) so as to be output to the digital signal processing devices (18-20).

(57) 要約: 本発明による撮像システムは、2次元に配列された画素に光が照射されると、その各々が各画素に照射された光の量を示す複数のデジタル信号を出力する撮像装置(12, 14, 15)と、撮像装置(12, 14, 15)が输出するデジタル信号のデータ量を低減する前処理装置(24)と、デジタル信号を処理するデジタル信号処理装置(18-20)と、デジタル信号を記憶する記憶装置(17)と、前処理

[統葉有]

WO 2004/017628 A1



(74) 代理人: 河宮 治, 外(KAWAMIYA,Osamu et al.); 〒
540-0001 大阪府 大阪市中央区 城見 1 丁目 3 番 7 号
I M P ビル 青山特許事務所 Osaka (JP).

添付公開書類:
— 國際調査報告書
— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

(81) 指定国(国内): CN, JP, US.

(84) 指定国(広域): ヨーロッパ特許(AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

撮像システム

5 技術分野

本発明は、デジタルスチルカメラ等に用いられる撮像システムに関する。

背景技術

従来の撮像システムには、撮像素子から出力されるアナログ信号をデジタル信号に変換する（A／D変換する）A／D変換器、画像データの処理を行うデータ処理部、画像データを記憶するメモリ、及びメモリ制御部を備え、そのメモリ制御部によって、A／D変換器やデータ処理部から出力される画像データをメモリに格納したり、その画像データをメモリから別のデータ処理部に転送したりするものがある（例えば、日本国特開平10-178612号公報参照。）。

図28は、そのような従来の撮像システムの構成を示すブロック図である。図28に示されるように、撮像システム200は、光学レンズ211、固体撮像素子212、固体撮像素子212の駆動回路213、アナログ回路214、A／D変換回路215、メモリコントローラ216、記憶回路としてのシンクロナシスDRAM (Synchronous Dynamic Random Access Memory : 以下、「SDRAM」という。) 217、カメラ信号処理回路218、JPEG圧縮回路219、表示回路220、液晶表示装置221、カードコントローラ222、及び記録メディア223を備える。

以下に、この撮像システム200の動作を説明する。光学レンズ211を通して光が入射すると、その光が固体撮像素子212に照射される。固体撮像素子212は、照射された光を光電変換し、得られる電気信号（アナログ信号）をアナログ回路214に出力する。アナログ回路214は、固体撮像素子212から出力されたアナログ信号をアナログ信号処理し、そのアナログ信号処理された信号をA／D変換回路215に出力する。A／D変換回路215は、アナログ回路214から出力されたアナログ信号をデジタル信号に変換する。ここで、A／D変

換回路 215 が output するデジタル信号は、デジタル信号処理を行う前の信号であるのでローデータ (RAW) と呼ばれる。A/D 変換回路 215 は、このローデータを、メモリコントローラ 216 に output する。メモリコントローラ 216 は、A/D 変換回路 215 によって output されたローデータを、SDRAM 217 に格納する。

次に、メモリコントローラ 216 は、SDRAM 217 に格納されているローデータを読み出して、カメラ信号処理回路 218 に転送する。カメラ信号処理回路 218 は、SDRAM 217 から読み出されたローデータにカメラ信号処理を施して、輝度信号 (Y) と色差信号 (C) とで表される、記録用及び表示用の YC データ (YC) を生成する。また、カメラ信号処理回路 218 は、表示用の YC データを生成するために、ローデータにズーム処理などを施す。メモリコントローラ 216 は、カメラ信号処理回路 218 から、その YC データを読み出して、SDRAM 217 に格納する。

次に、YC データを圧縮して SDRAM 217 に格納する場合、メモリコントローラ 216 は、SDRAM 217 に格納されている記録用の YC データを読み出して、それを JPEG 圧縮回路 219 に output する。JPEG 圧縮回路 219 は、JPEG (Joint Photographic Experts Group) 方式による圧縮処理を施し、符号データ (JPC) を生成する。メモリコントローラ 216 は、JPEG 圧縮回路 219 からその符号データを読み出して、SDRAM 217 に格納する。

また、撮影した画像を液晶表示装置 221 に表示する場合、メモリコントローラ 216 は、SDRAM 217 に格納されている表示用の YC データを読み出して、表示回路 220 に転送する。表示回路 220 は、YC データを表示用の信号 (表示データ) に変換して、その信号を液晶表示素子 221 に output する。液晶表示素子 221 は、その表示用の信号によって表わされる画像を表示する。

カードコントローラ 222 は、SDRAM 217 に接続され、SDRAM 217 に格納されている JPEG の符号データを読み出し、記録メディア 223 に書き込む。

発明の開示

(発明が解決しようとする技術的課題)

上述のように、従来の撮像システムにおいては、ローデータ、YCデータ、符号データ、表示データ等の多くのデータがメモリとメモリコントローラとの間でやりとりされる。よって、メモリとメモリコントローラとのインターフェース部分において電力の消費が大きい、つまり、消費電力が大きいという課題があった。

また、従来の撮像システムにおいては、扱うデータ量が多いために処理スピードが遅いという課題があった。処理スピードを上げるためには、動作周波数を上げるか、または、回路の処理性能を上げる必要があるが、どちらの場合でも消費電力が増大する。すなわち、消費電力を増大させることなく、処理スピードを速くすることが困難であるという課題があった。

本発明の目的は、消費電力が小さく、かつ、データの処理スピードが速い撮像システムを提供することである。

(その解決方法)

本発明による撮像システムは、2次元に配列された画素に光が照射されると、各画素に照射された光の量を示す複数のデジタル信号を出力する撮像装置と、前記の撮像装置が出力するデジタル信号のデータ量を低減する前処理装置と、デジタル信号を処理するデジタル信号処理装置と、デジタル信号を記憶する記憶装置と、前記の前処理装置が出力するデジタル信号を前記の記憶装置に格納し、かつ、前記のデジタル信号を前記の記憶装置から読み出して前記のデジタル信号処理装置に出力する記憶制御装置とを備える。

好ましくは、前記の前処理装置は、前記のデジタル信号の情報量を低減する情報量低減装置を備える。

好ましくは、前記の情報量低減装置は、2次元に配列された前記の画素に光が照射されたとき、前記の撮像装置が出力する複数のデジタル信号の信号量の1画面上に相当する平均値である平均信号量を検出する検出装置と、前記の平均信号量が所定の値になるように、複数の前記のデジタル信号に与えるべきゲインを計算する計算装置と、前記のゲインを用いて、複数の前記のデジタル信号のゲイン調整を行うゲイン調整装置とを備える。

好ましくは、前記の画素は、複数の色成分の光を検知する画素で構成され、前記の撮像装置は、前記の画素に光が照射されると、前記の画素が検知する光の量を示す複数のデジタル信号を出力する。前記の情報量低減装置は、
前記の撮像装置が出力する、複数の前記の色成分のいずれかに対応する複数の前
記のデジタル信号を用いて、複数の前記の色成分について、その色成分に対応し
た複数の前記のデジタル信号の信号量の1画面に相当する平均値である複数の平
均信号量を検出する検出装置と、複数の前記の色成分に対応する複数の前記の平
均信号量が一致するように、複数の前記の色成分について、対応した複数の前記
のデジタル信号に与えるべきゲインを計算する計算装置と、複数の前記の色成分
に対応する前記のゲインを用いて、複数の前記の色成分に対応する前記のデジタ
ル信号のゲイン調整を行い、ホワイトバランス調整する第1のホワイトバランス
調整装置とを備える。

好ましくは、前記の情報量低減装置は、さらに、第2のホワイトバランス調整
装置を備える。前記の第2のホワイトバランス調整装置は、複数の前記の色成分
に対応するあらかじめ決められたゲインを用いて、前記の撮像装置が出力する、
複数の前記の色成分に対応する複数の前記のデジタル信号のゲイン調整を行い、
ホワイトバランス調整する。前記の第1のホワイトバランス調整装置には、前記
の第2のホワイトバランス調整装置の出力信号を入力する。

好ましくは、前記の情報量低減装置は、さらに、階調補正装置を備える。前記
の階調補正装置は、デジタル信号の階調を補正することにより、前記の撮像装置、
前記のゲイン調整装置、及び前記の第1のホワイトバランス調整装置のいずれか
から入力されるデジタル信号を、そのデジタル信号の情報量よりも小さい所定の
情報量を有するデジタル信号に変換する。

好ましくは、前記の情報量低減装置は、さらに、入力されるデジタル信号を圧
縮して、前記のデジタル信号の情報量を低減するデータ圧縮装置を備える。

好ましくは、前記のデータ圧縮装置は、入力される前記のデジタル信号を、全
て同一の情報量をもつデジタル信号に圧縮する。

好ましくは、前記の撮像システムは、さらに、前記の撮像装置を駆動する駆動
装置と、前記の情報量低減装置、前記の記憶制御装置、及び前記のデジタル信号

処理装置の間のデジタル信号のやりとりを制御する機能制御装置と、前記の駆動装置及び前記の機能制御装置に対して、異なる2つのモードのうち1つを設定するモード設定装置とを備える。前記の情報量低減装置は、第1の情報量低減装置及び第2の情報量低減装置から成る。前記の第1の情報量低減装置及び前記の第2の情報量低減装置は、前記の撮像装置から出力されたデジタル信号の情報量を低減する。前記の機能制御装置は、前記のモード設定装置によって第1のモードが設定されると、前記の第1の情報量低減装置から入力された信号を前記の第2の情報量低減装置に出力し、前記の第2の情報量低減装置から入力された信号を、前記の記憶制御装置に出力し、前記の記憶制御装置から入力された信号を、前記のデジタル信号処理装置に出力し、前記のモード設定手段によって第2のモードが設定されると、前記の第1の情報量低減装置から入力された信号を前記の記憶制御装置に出力し、前記の記憶制御装置から入力された信号を前記の第2の情報量低減装置に出力し、前記の第2の情報量低減装置から入力された信号を前記のデジタル信号処理装置に出力する。

好ましくは、前記の前処理装置は、複数の前記のデジタル信号を間引く間引き装置を備える。

好ましくは、前記の間引き装置は、前記の記憶制御装置に、一定周期でレベルが変化する制御信号を出力する。前記の前処理装置は、前記の撮像装置が出力するデジタル信号と前記の制御信号とを、同時に前記の記憶制御装置に出力する。前記の記憶制御装置は、前記の制御信号が所定のレベルであるときに入力されるデジタル信号のみを前記の記憶装置に格納する。

好ましくは、前記の前処理装置は、間引き装置に加えて、さらに、補間装置を備える。前記の補間装置は、前記の撮像装置が出力するデジタル信号を補間して、その補間の結果得られる補間デジタル信号を出力する。前記の前処理装置は、前記の補間デジタル信号と前記の制御信号とを、同時に前記の記憶制御装置に出力する。

好ましくは、前記の撮像システムは、間引き装置に加えて、さらに、レリーズボタンと、前記のレリーズボタンが押されているか否かを示す状態信号を出力する検知装置と、前記の検知装置から出力される前記の状態信号に応じて、前記の

間引き装置の動作を開始又は停止させる間引き制御装置とを備える。

好ましくは、前記の撮像システムは、前記の間引き装置、前記のレリーズボタン及び前記の検知装置、前記の間引き制御制御装置に加えて、さらに、第1のモード又は第2のモードに対応するモード信号を出力するモード切り替え装置と、
5 前記のモード切り替え装置から出力される前記のモード信号に応じて前記の記憶制御装置を制御するモード制御装置とを備える。前記のデジタル信号処理装置は、第1の圧縮装置と第2の圧縮装置とを備える。前記のモード制御装置は、前記の第1のモードを示すモード信号が入力されると、前記の記憶制御装置に、前記の記憶装置から読み出した前記のデジタル信号を前記の第1の圧縮装置に出力させ、
10 前記の第2のモードを示すモード信号が入力されると、前記の記憶制御装置に、前記の記憶装置から読み出した前記のデジタル信号を前記の第2の圧縮装置に出力させる。

好ましくは、前記の撮像システムは、間引き装置に加えて、さらに、記録画素数を選択し、その選択した記録画素数に応じた信号を出力する記録画素数選択装置と、前記の記録画素数選択装置から出力される信号に応じて、前記のデジタル信号を間引く間引き率を判断し、その間引き率に応じて、前記の間引き装置が出力する前記の制御信号のレベル変化の周期を制御する間引き率制御装置とを備える。
15

(従来技術より有効な効果)

本発明による撮像システムによれば、消費電力が小さく、かつ、データの処理スピードが速い撮像システムを実現できる。
20

図面の簡単な説明

図1は、第1の実施の形態の撮像システムの構成を示すブロック図である。

図2は、ゲイン調整回路の動作を説明する図である。

図3は、第2の実施の形態の撮像システムの構成を示すブロック図である。

図4は、ホワイトバランス調整回路の動作を説明する図である。

図5は、階調補正回路の動作を説明する図である。

図6は、第3の実施の形態の撮像システムの構成を示すブロック図である。

図7は、感度の異なる撮像素子のホワイトバランス調整点を示す図である。

図8は、第4の実施の形態の撮像システムの構成を示すブロック図である。

図9は、第5の実施の形態の撮像システムの構成を示すブロック図である。

図10は、第6の実施の形態の撮像システムの構成を示すブロック図である。

図11は、固体撮像素子の各々の画素に設けられた色フィルタの配列の一例を示す図である。

図12は、固体撮像素子の色フィルタが図11のように配列された場合に、A／D変換回路が出力するローデータを示すタイミング図である。

図13は、ローデータとSDRAM書き込み制御信号とを説明するタイミング図であり、(1)は、前処理回路に入力されるローデータ、(2)は、メモリコントローラに入力されるローデータ、(3)は、メモリコントローラに入力されるSDRAM書き込み制御信号を示す。

図14は、SDRAM17に書き込むローデータのデータ数を1/2に削減する場合の、ローデータとSDRAM書き込み制御信号とを説明するタイミング図であり、(1)は、前処理回路に入力されるローデータ、(2)は、メモリコントローラに入力されるローデータ、(3)は、メモリコントローラに入力されるSDRAM書き込み制御信号を示す。

図15は、第7の実施の形態による撮像システムの構成を示すブロック図である。

図16は、図15の撮像システムの変形例であって、静止画モードと動画モードとの間でモードの切り替えを行う撮像システムの構成を示すブロック図である。

図17は、第8の実施の形態による撮像システムの構成を示すブロック図である。

図18は、図17の撮像システムにおいて、ズーム処理回路の構成を示すブロック図である。

図19は、図18のズーム処理回路における補間回路の構成を示す図である。

図20は、図19の補間回路が、メモリコントローラにローデータを出力する場合の、メモリコントローラに入力されるローデータとSDRAM書き込み制御信号とを説明するタイミング図であり、(1)は、前処理回路に入力されるロー

データ、(2)は、メモリコントローラに入力されるローデータ、(3)は、ズーム係数、(4)は、メモリコントローラに入力されるSDRAM書き込み制御信号を示す。

図21は、図20に示されるズーム処理後のローデータにおけるRデータ及びGデータの相対的位置関係を示す図である。

図22は、図18のズーム処理回路における別の補間回路の構成を示すブロック図である。

図23は、固体撮像素子の色フィルタが図18のように配列されている場合に、A/D変換回路が出力するローデータに対して、1/3倍のズーム処理を行うときのメモリコントローラに入力されるローデータとSDRAM書き込み制御信号とを説明するタイミング図であり、(1)は、前処理回路に入力されるローデータ、(2)は、メモリコントローラに入力されるローデータ、(3)は、メモリコントローラに入力されるSDRAM書き込み制御信号を示す。

図24は、第9の実施の形態による撮像システムの構成を示すブロック図である。

図25は、図24の撮像システムにおけるズーム処理回路の構成を示すブロック図である。

図26は、第10の実施の形態による撮像システムの構成を示すブロック図である。

図27は、第10の実施の形態による別の撮像システムの構成を示すブロック図である。

図28は、従来の撮像システムの構成を示すブロック図である。

発明を実施するための最良の形態

以下に、添付の図面を参照して、本発明の実施の形態について説明する。

以下の実施の形態で説明される撮像システムは、A/D変換回路とメモリコントローラとの間に、A/D変換回路の出力信号を、メモリコントローラに出力する前に処理する前処理回路を備える。

以下に説明される第1の実施の形態乃至第5の実施の形態の撮像システムは、

A/D変換回路とメモリコントローラとの間に、前処理回路として、信号のビット数（情報量）を低減する情報量低減回路を備える。この情報量低減回路により、A/D変換回路が出力するデジタル信号の情報量が低減され、結果として、そのデジタル信号の信号量（信号のビット数が k のとき、 2^k で表わされる。）が低減される。これらの撮像システムは、A/D変換回路が出力するデジタル信号の信号量を低減して、その信号量の低減されたデジタル信号をメモリコントローラに出力することにより、SDRAMとメモリコントローラとの間でやりとりされるデータ量（データ量=データ数×情報量）を低減して、SDRAMとメモリコントローラとのインターフェース部分における消費電力を低減しようというものである。

（第1の実施の形態）

本実施の形態による撮像システムは、ゲイン調整回路、レベル検出回路、及びマイコンから成る情報量低減回路を備える。

図1は、第1の実施の形態による撮像システムの構成を示すブロック図である。図1において、撮像システム10は、光学レンズ11、固体撮像素子12、固体撮像素子12の駆動回路13、アナログ回路14、A/D変換回路15、メモリコントローラ16、記憶回路としてのSDRAM17、カメラ信号処理回路18、JPEG圧縮回路19、表示回路20、液晶表示装置21、カードコントローラ22、記録メディア23、及び前処理回路24を備える。前処理回路24は、ゲイン調整回路26、マイクロコンピュータ（以下、「マイコン」という。）27、及びレベル検出回路28から成る情報量低減回路を備える。

光学レンズ11は、固体撮像素子12に光を収束する。駆動回路13は、固体撮像素子12に接続され、固体撮像素子12を制御する。アナログ回路14は、固体撮像素子12に接続され、固体撮像素子12が出力するアナログ信号をアナログ信号処理する。A/D変換回路15はアナログ回路14に接続され、アナログ回路14が出力するアナログ信号をデジタル信号に変換する。前処理回路24は、A/D変換回路15に接続され、A/D変換回路15から出力された信号の情報量を低減して、その情報量が低減されたデジタル信号を出力する。メモリコントローラ16は、SDRAM17に接続され、SDRAM17からデータを読

み込んだり、SDRAM17にデータを書き込んだりする。また、メモリコントローラ16は、ゲイン調整回路26、カメラ信号処理回路18、JPEG圧縮回路19、及び表示回路20に接続され、SDRAM17とそれらとの間のデータの入出力を制御する。液晶表示装置21は、表示回路20に接続され、表示回路20から出力されたデータが示す画像を表示する。カードコントローラ22は、SDRAM17及び記録メディア23に接続され、SDRAM17に格納されているデータを読み出して、記録メディア23に書き込む。

撮像システム10において、光学レンズ11に光が入射してから、A/D変換回路15がデジタル信号を出力するまでの動作は、以下の通りである。光学レンズ11に光が入射すると、その光が、光学レンズ11を通って、固体撮像素子12に照射される。固体撮像素子12は、照射された光を光電変換し、得られる電気信号（アナログ信号）をアナログ回路14に出力する。アナログ回路14は、固体撮像素子12から出力されたアナログ信号をアナログ信号処理し、そのアナログ信号処理された信号をA/D変換回路15に出力する。A/D変換回路15は、アナログ回路14から出力されたアナログ信号をデジタル信号に変換する。

固体撮像素子12は、例えば、電荷結合素子（以下、「CCD」という。）である。固体撮像素子12は、2次元に配列された多数の画素から成る。例えば、固体撮像素子12の画素数が500万画素の場合、それは、水平方向における2560画素及び垂直方向における1920ラインから成る有効画素数を備える。この撮像素子12に光が照射されると、撮像素子12は、その各々の画素に照射された光の量を示す複数の電気信号を生成する。そして、A/D変換回路15は、その各々が撮像素子12の各々の画素に照射された光の量を示す複数のデジタル信号を出力する。このように、撮像素子の各々の画素に対応したデジタル信号の個数を、以下では、「データ数」という。

撮像システム10において、A/D変換回路15が出力するデジタル信号の情報量は、14ビットである。このデジタル信号は、光学レンズ11に入射する光の量を数値化して表わしたものであり、ビット数が大きいほど、広範囲の明るさに対応できる。A/D変換された14ビットのローデータ（RAW14）は、ゲイン調整回路26に入力される。ゲイン調整回路26は、14ビットのローデー

タに、マイコン27から与えられるゲインAによってゲイン調整を施す。結果としてローデータの情報量が低減され、ゲイン調整回路26から10ビットのローデータ(RAW10)が出力される。RAW10およびRAW14の信号量を、それぞれ、 R_{10} および R_{14} とすると、以下の式(1)が成り立つ。

5 【数1】

$$R_{10} = R_{14} \times A \quad (1)$$

以下に、ゲインAについて説明する。固体撮像素子12の出力信号は、A/D変換されてデジタル信号となり、このデジタル信号は、ゲイン調整回路26に入力される。このとき、A/D変換されたローデータ(RAW14)は、ゲイン調整回路26に入力されると同時に、レベル検出回路28にも入力される。レベル検出回路28は、入力された1画面分のローデータの平均信号量を検出する。この1画面分のローデータの平均信号量とは、1つのシーンが撮影され、撮像素子12の各々の画素によって電気信号が生成された場合に、その電気信号をA/D変換して得られる複数のデジタル信号の信号量の平均値である。具体的には、A/D変換回路15が输出するデジタル信号の信号量の最大値を2で割った値である。レベル検出回路28は、その平均信号量を、マイコン27に出力する。マイコン27は、入力される平均信号量とゲインとを乗算して得られる信号量の値があらかじめ決められた値になるように、入力された各々の平均信号量に対してゲインAを算出する。

20 図2は、1画面分のローデータ(RAW14)の平均信号量とゲインAとの関係を示す。図2の(1)、(2)、(3)は、それぞれ、撮像システム10に互いに異なる画面が入力された場合(つまり、撮像システム10によって、互いに異なるシーンが撮影された場合)に、撮像素子12に入射する光の量の範囲と、その際に、A/D変換回路15から出力される複数のデジタル信号の信号量の範囲とを示すグラフである。図2の(1)、(2)および(3)のそれぞれのグラフにおいて、横軸は、撮像素子12に入射する光の量、縦軸は、A/D変換回路15から出力されるデジタル信号の信号量を示す。図2の(1)、(2)及び(3)に示されるように、撮像素子12に入射する光の量は広範囲であり、A/D変換回路15が输出するデジタルデータの信号量のダイナミックレンジも大き

い。図2の(1)、(2)および(3)のグラフを参照すると、画面毎に、出力されるデジタルデータの信号量の範囲が異なることがわかる。A/D変換回路15が⁵出力するデジタルデータの信号量は、それぞれの画面で、(1)0から 2^{14} まで、(2)0から 2^{12} まで、および、(3)0から 2^{10} まで変化しており、それらの場合に、レベル検出回路28が検出する平均信号量は、それぞれ、 2^{13} 、 2^{11} および 2^9 である。マイコン27は、入力される平均信号量とゲインとを乗算して得られる最終的な平均信号量が全て一定になるように、つまり、¹⁰入力される平均信号量が、ゲインを与えることによって所定の平均信号量になるように、ゲインAを算出する。例えば、最終的な平均信号量が 2^9 と設定されているとき、マイコン27は、図2の(1)、(2)および(3)に示されるローデータが入力されると、ゲインAを、それぞれ、 2^{-4} 、 2^{-2} および1と算出する。このとき、式(1)により、全ての場合において、信号量の最大値は 2^{10} となり、平均信号量は 2^9 となる。

ゲイン調整回路26は、A/D変換回路15からローデータが入力されると、¹⁵マイコン27から出力されるゲインAを用いてゲイン調整を行い、A/D変換回路15から入力されたローデータを、所定の平均信号量をもつローデータに変換する。これにより、ゲイン調整回路26は、入力されたローデータよりも、情報量の小さいローデータを出力する。

以上のように、ゲイン調整回路26は、A/D変換回路15から出力されるデジタル信号のビット数を、14ビットから10ビットに、すなわち、 $10/14$ に低減する。²⁰ゲイン調整回路26は、ビット数が低減された10ビットのローデータ(RAW10)を、メモリコントローラ16に出力する。メモリコントローラ16は、この10ビットのローデータをSDRAM17に格納する。

次に、メモリコントローラ16は、SDRAM17に格納された10ビットのローデータを読み出して、カメラ信号処理回路18に転送する。²⁵カメラ信号処理回路18は、転送されたローデータに、カメラ信号処理を施して、その転送されたローデータを、輝度信号(Y)と色差信号(C)とで表される、記録用及び表示用のY Cデータ(YC)に変換する。メモリコントローラ16は、変換されて得られる記録用及び表示用のYCデータを、カメラ信号処理回路18から読み出

して、再び、SDRAM17に格納する。なお、カメラ信号処理回路18は、ローデータに対して、ホワイトバランス処理、ガンマ(γ)変換処理、輝度信号生成処理、色差信号生成処理、および、解像度改善のためのアーチャ補正処理などの処理を施す。また、カメラ信号処理回路18は、表示用のYCデータを生成するため、ズーム処理回路(図示されない)を用いて、ズーム処理(後述する)などを施す。

次に、撮影した画像を液晶表示装置21に表示する場合、メモリコントローラ16は、SDRAM17に格納されている表示用のYCデータを読み出して、表示回路20に転送する。表示回路20は、YCデータを表示用の信号(表示データ)に変換して、その信号を液晶表示素子21に出力する。液晶表示素子21は、その表示用の信号によって表わされる画像を表示する。

また、YCデータを圧縮してSDRAM17に格納する場合、メモリコントローラ16は、SDRAM17に格納されている記録用のYCデータを読み出して、それをJPEG圧縮回路19に出力する。JPEG圧縮回路19は、Joint Photographic Experts Group(以下JP EG)方式による圧縮処理を施し、符号データ(JPC)を生成する。メモリコントローラ16は、JPEG圧縮回路19からその符号データを読み出して、SDRAM17に格納する。

カードコントローラ22は、SDRAM17に接続され、SDRAM17に格納されているJPEGの符号データを読み出し、記録メディア23に書き込む。

ここで、メモリコントローラ16によってSDRAM17に格納される、および、SDRAM17から読み出されるローデータのビット数が14ビットから10ビットになった場合の、メモリコントローラ16とSDRAM17との間のインターフェース部分で消費される電力を見積もる。以下では、例として、撮影した画像を液晶表示装置21に表示する場合について考える。また、例として、撮像素子12の画素数を500万画素とし、1つの水平ラインの画素数を2560画素とする。さらに、カメラ信号処理回路18によってズーム処理が施されて、表示用のYCデータ(輝度信号8ビット、色差信号8ビット)が生成されたときの、1つの水平ライン当たりの画素数を720画素とする。

撮影した画像を液晶表示装置 21 に表示する場合、メモリコントローラ 16 と SDRAM 17との間でやりとりされるデータの流れは以下の通りである。まず、メモリコントローラ 16 は、A/D 変換回路 15 から出力されたローデータを S

5 SDRAM 17 に格納する（1）。次に、メモリコントローラ 16 は、そのローデータを SDRAM 17 から読み出して、カメラ信号処理回路 18 に出力する

（2）。さらに、メモリコントローラ 16 は、カメラ信号処理回路 18 が表示用の YC データを生成すると、その YC データをカメラ信号処理回路 18 から読み出して、SDRAM 17 に格納する（3）。最後に、メモリコントローラ 16 は、その YC データを SDRAM 17 から読み出して、表示回路 20 に出力する

10 （4）。メモリコントローラ 16 は、別個に設けられた制御回路（マイコン）によって、ソフトウェアで制御されてよい。

A/D 変換回路 15 から出力されたローデータが 14 ビットから 10 ビットに低減されたとき、メモリコントローラ 16 と SDRAM 17 との間でやりとりされるデータのデータ量は、1 つの水平ライン当たり、以下の式（2）で表わされる

15 る。

【数 2】

$$2560 \text{画素} \times 10 \text{bit} \times 2 + 720 \text{画素} \times (8+8) \text{bit} \times 2 = 74240 \text{bit} \quad (2)$$

一方、ローデータの情報量が低減されずに 14 ビットのとき、メモリコントローラ 16 と SDRAM 17 との間でやりとりされるデータのデータ量は、1 つの水平ライン当たり、以下の式（3）で表わされる。

【数 3】

$$2560 \text{画素} \times 14 \text{bit} \times 2 + 720 \text{画素} \times (8+8) \text{bit} \times 2 = 94720 \text{bit} \quad (3)$$

式（2）及び式（3）を参照すると、ローデータの情報量を低減する場合と低減しない場合とでは、メモリコントローラ 16 と SDRAM 17 との間でやりとりされるデータのデータ量は異なる。具体的に、 $74240 / 94720 = 0.78$ が成り立つことにより、情報量を低減した場合にメモリコントローラ 16 と SDRAM 17 との間でやりとりされるデータのデータ量は、情報量を低減しない場合と比較して、22% 程度低減される。

ここで、メモリコントローラ 16 と SDRAM 17 との間でやりとりされる

データのデータ量と、それらのインターフェース部分における消費電力は比例するので、本実施の形態による撮像システムの消費電力は、情報量の低減を行わない従来の撮像システムの消費電力の78%になる。すなわち、本実施の形態による撮像システムによれば、前処理回路24によってローデータの情報量を低減することにより、撮影した画像を液晶表示装置21に表示する場合に、従来の撮像システム200と比較して、22%程度の電力を削減することができる。

Y/Cデータを圧縮してSDRAM17に格納する場合も、同様に、従来の撮像システムと比べて、消費電力を低減できる。

本実施の形態による撮像システムでは、メモリコントローラによってデータがメモリに格納される前に、そのデータのデータ量を削減する。よって、メモリとメモリコントローラとの間でやりとりされるデータ量が削減され、それらのインターフェース部分における消費電力を低減できる。結果として、撮像システムの消費電力削減および処理スピードの向上が可能になる。

また、本実施の形態による撮像システムでは、前処理回路がゲイン調整回路を含むので、撮像システムにおける消費電力削減および処理スピードの向上を実現すると同時に、画面毎に異なる信号量のダイナミックレンジも調整することができる。

なお、本実施の形態による撮像システムにおいては、ゲイン調整回路26により1画面分の平均信号量が一定になるように制御しているが、画面内の信号の分布、画面内のピークレベル、または光学系の絞りの状態を利用して、目標となる最終的な一定の平均信号量を変更しても、本発明と同様の効果が得られる。

なお、本実施の形態による撮像システムにおいて、前処理回路はゲイン調整回路を含むが、ゲイン調整回路のほかに、情報量を低減する階調補正回路や圧縮回路等の他の回路を備えていてもよい。

なお、撮像システムにおいて、レンズによって収束される光の量をデジタル信号として出力する部分を撮像装置という。例えば、図1において、撮像装置とは、固体撮像素子、アナログ回路及びA/D変換回路を含む部分をいう。また、撮像システムにおいて、メモリコントローラを介して、メモリと信号をやりとりして、メモリに格納されたデジタル信号を処理する装置をデジタル信号処理装置という。

例えば、図1において、デジタル信号処理装置とは、カメラ信号処理回路、圧縮回路、表示回路である。

(第2の実施の形態)

本実施の形態による撮像システムは、第1の実施の形態による撮像システムと異なり、前処理回路が、ゲイン調整回路の代わりに、ホワイトバランス調整回路および階調補正回路を有する。

図3は、第2の実施の形態による撮像システムの構成を示すブロック図である。図3において、図1と同一の構成には同一の符号を付す。図3に示されるように、本実施の形態による撮像システム30において、前処理回路31は、ホワイトバランス調整回路32、階調補正回路33、レベル検出回路28及びマイコン27から成る情報量低減回路を備える。図1と同一の符号を付した構成要素については、(第1の実施の形態)で既に述べているので、その構成および動作についての説明を省略する。

A/D変換回路15によって出力された14ビットのローデータ(RAW14)は、前処理回路31のホワイトバランス調整回路32に入力される。ホワイトバランス調整回路32は、そのローデータにホワイトバランス処理を施すことにより、14ビットのローデータを10ビットのローデータ(RAW10)に変換する。ホワイトバランス調整回路32は、その変換された10ビットのローデータを階調補正回路33に出力する。階調補正回路33は、入力された10ビットのローデータに、階調補正であるガンマ補正処理を施して、その10ビットのローデータを8ビットのローデータ(RAW8)に変換する。階調補正回路33は、その8ビットのローデータをメモリコントローラ16に出力する。

ここで、ホワイトバランス調整回路32の動作について説明する。ホワイトバランス調整とは、無彩色の被写体を撮影した場合に得られる1画面のR成分、G成分及びB成分の信号の各々の平均信号量を、それらが等しくなるように調整することをいう。ホワイトバランス調整回路32は、マイコン27から与えられるゲインにより、14ビットのローデータにホワイトバランス調整を施して、その信号量を低減する。以下に、ゲインの算出方法について説明する。14ビットのローデータ(RAW14)は、ホワイトバランス調整回路32と同時に、レベル

検出回路 28 にも入力される。レベル検出回路 28 は、入力されたローデータの 1 画面分の平均信号量を検出する。なお、本実施の形態においては、第 1 の実施の形態と異なり、1 画面分の R (赤) 成分、G (緑) 成分及び B (青) 成分のそれぞれの平均信号量を求める。レベル検出回路 28 は、検出した各々の色成分の平均信号量を、マイコン 27 に出力する。マイコン 27 は、入力された R 成分、G 成分及び B 成分の各々の平均信号量にゲインを乗算した結果、それらの平均信号量が等しくなるようにゲイン Ar、Ag、Ab を算出する。

図 4 は、撮像システムに 1 画面が入力された場合 (つまり、撮像システムによって 1 つのシーンが撮影された場合) に、R 成分、B 成分及び G 成分のそれぞれについて、撮像素子 12 に入射する光の量の範囲と、その際に、A/D 変換回路 15 から出力される複数のデジタル信号の信号量の範囲とを示すグラフである。図 4 のグラフにおいて、横軸は、撮像素子 12 に入射する光の量、縦軸は、A/D 変換回路 15 から出力されるデジタル信号の信号量を示す。図 4 において、R 成分の信号量、G 成分の信号量、および B 成分の信号量は、それぞれ、0 から 2^{14} まで、0 から 2^{12} まで、および、0 から 2^{10} まで変化しており、それらの場合に、レベル検出回路 28 が検出する平均信号量は、それぞれ、 2^{13} 、 2^{11} および 2^9 である。マイコン 27 は、1 画面分の R、G、B 成分の平均信号量が等しくなるように、ゲイン Ar、Ag、Ab を算出する。例えば、R、G、B 成分の信号量が、それぞれ、図 4 に示される範囲にある場合、マイコン 27 は、R 成分の信号、G 成分の信号および B 成分の信号に対するゲイン (Ar、Ag、Ab) を、それぞれ、 2^{-4} 、 2^{-2} および 1 と算出する。このとき、式 (1) により、全ての色成分において、信号量の最大値は 2^{10} となり、平均信号量は 2^9 となる。

ホワイトバランス調整回路 32 は、A/D 変換回路 15 からローデータが入力されると、そのローデータに対してホワイトバランス処理を行い、入力されたローデータよりも、情報量の小さいローデータを出力する。

次に、階調補正回路 33 の動作について説明する。階調補正回路 33 は、図 5 に示すような非線形のガンマ (γ) 特性を用いて、入力された 10 ピットのローデータを、8 ピットのローデータ (RAW8) に変換し、その 8 ピットのローデ

ータを出力する。

以上のように、ホワイトバランス調整およびガンマ補正を施すことにより、その信号量が14ビットから8ビットに、すなわち、8／14の割合で低減されたローデータ（RAW8）が、メモリコントローラ16を通してSDRAM17に格納される。これ以降の撮像システムの動作は、第1の実施の形態で説明された動作と同一であるので、説明を省略する。

ここで、SDRAM17に格納される、および、SDRAM17から読み出しされるローデータのビット数が8／14の割合で低減された場合の電力を見積もる。以下では、例として、撮影した画像を液晶表示装置21に表示する場合について考える。固体撮像素子12の画素数が、第1の実施の形態と同様に、例えば500万画素であるとき、1つの水平ラインの画素数は、2560画素であり、カメラ信号処理回路18によって、表示用のYCデータ（輝度信号8ビット、色差信号8ビット）が生成されたときの、1つの水平ライン当たりの画素数は、720画素である。このときの、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、以下の式(4)で表わされる。

【数4】

$$2560\text{画素} \times 8\text{bit} \times 2 + 720\text{画素} \times (8+8)\text{bit} \times 2 = 64000\text{bit} \quad (4)$$

一方、ローデータが14ビットのとき、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、上述の式(3)で表わされる。

式(3)及び式(4)を参照すると、 $64000 / 94720 = 0.68$ が成り立つことにより、本実施の形態による撮像システムにおいて、情報量を低減した場合にメモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、情報量を低減しない従来の撮像システムと比較して、32%程度低減される。すなわち、ホワイトバランス調整回路32および階調補正回路33によって、ホワイトバランス調整および階調補正を行うことにより、従来の撮像システム200と比較して、消費電力を32%程度削減することができる。

本実施の形態による撮像システムでは、メモリコントローラによってデータが

メモリに格納される前に、そのデータのデータ量を削減する。よって、メモリとメモリコントローラとの間でやりとりされるデータ量が削減され、それらのインターフェース部分における消費電力を低減できる。結果として、撮像システムの消費電力削減および処理スピードの向上が可能になる。

5 また、本実施の形態による撮像システムでは、前処理回路がホワイトバランス調整回路および階調補正回路を含むので、撮像システムにおける消費電力削減および処理スピードの向上を実現すると同時に、ホワイトバランス調整および階調補正を行うことができる。

10 なお、本実施の形態においては、1画面分のR成分、G成分、及びB成分の信号の平均信号量が等しいことを前提として、ホワイトバランス調整を、1画面分のR成分、G成分、B成分の信号の平均信号量が一定になるように行っているが、上述の前提が成り立たない場合であっても、画面内の色の分布および光学系の絞りの値などの他の色温度情報をを利用して、目標となる一定の平均信号量を変更することによって、同様の効果が得られる。

15 なお、本実施の形態による撮像システムにおいて、前処理回路は、ホワイトバランス調整回路および階調補正回路を含むが、前処理回路は、ホワイトバランス調整回路と階調補正回路とを必ずしも同時に備える必要はない。ホワイトバランス調整回路を備え、かつ、階調補正回路を含まない前処理回路であっても、削減量は異なるが、データ量を削減できるので、本実施の形態による撮像システムと同様の効果が得られる。また、同様に、前処理回路が、階調補正回路を備え、かつ、ホワイトバランス調整回路を含まなくても、データ量を削減できるので、本実施の形態による撮像システムと同様の効果が得られる。

(第3の実施の形態)

20 本実施の形態による撮像システムは、第2の実施の形態による撮像システムと異なり、前処理回路が、ホワイトバランス調整回路および階調補正回路に加えて、さらにもう1つのホワイトバランス調整回路を有する。

25 図6は、第3の実施の形態による撮像システムの構成を示すブロック図である。図6において、図3と同一の構成には同一の符号を付している。図6に示されるように、本実施の形態による撮像システム60において、前処理回路61は、第

1 のホワイトバランス調整回路 6 2、第 2 のホワイトバランス調整回路 3 2、階調補正回路 3 3、レベル検出回路 2 8 及びマイコン 2 7 から成る情報量低減回路を備える。図 1 および図 3 と同一の符号を付した構成要素については、(第 1 の実施の形態) および (第 2 の実施の形態) で既に述べたので、その構成および動作についての説明を省略する。

5 A/D 変換回路 1 5 によって出力された 14 ビットのローデータ (RAW1
4) は、前処理回路 6 1 の第 1 のホワイトバランス調整回路 6 2 に入力される。
第 1 のホワイトバランス調整回路 6 2 は、入力されたローデータにホワイトバラ
ンス処理を施し、10 ビットのローデータ (RAW10A) に変換して、その 1
10 0 ビットのローデータを出力する。第 1 のホワイトバランス調整回路 6 2 は、特
定の色温度 (T_o) の光源に対してホワイトバランスが取れるようなゲインを用
いてホワイトバランス調整を行う。このゲインは、工場出荷前の調整工程におい
て、色温度 T_o の光源下で撮影を行い、そのときに得られたローデータから、レ
ベル検出回路 2 8 およびマイコン 2 7 を利用して求める。撮像システム 6 0 が出
15 荷された後は、第 1 のホワイトバランス調整回路 6 2 は、ゲインを、その出荷前
の撮影によって得られたゲインに固定して、ホワイトバランス調整を行う。ここ
で、色温度 T_o は、好ましくは、光源色温度分布範囲 (2500K~8000
K) の中間の値 (例えば、4500K) である。

20 次に、第 1 のホワイトバランス調整回路 6 2 から出力された 10 ビットのロー
データ (RAW10A) は、第 2 のホワイトバランス調整回路 3 2 に入力される。
第 2 のホワイトバランス調整回路 3 2 は、撮像時の光源に応じたホワイトラン
スのゲインを用いて、入力された 10 ビットのローデータ (RAW10A) にホ
ワイトバランス調整を施し、10 ビットのローデータ (RAW10B) を出力す
る。以上のようにしてホワイトバランス調整が施されたローデータ (RAW10
25 B) は、階調補正回路 3 3 に入力される。階調補正回路 3 3 は、ローデータ (R
AW10B) に、階調補正である γ 補正を施し、結果として得られる 8 ビットの
ローデータ (RAW8) を出力する。

以下に、A/D 変換回路 1 5 から出力されたローデータに 2 段階のホワイトバ
ランス調整を施す理由を説明する。撮像素子の分光特性は、素子の感度にばらつ

きがあるため、必ずしも一定ではない。例えば、同じ光源でも、素子によっては、ホワイトバランスのゲインが10%程度も異なる場合がある。本実施の形態による撮像システムにおいては、第1のホワイトバランス調整回路62により、その感度のばらつきによる影響を低減することができる。

図7は、感度の異なる撮像素子A、撮像素子B、及び撮像素子Cを用いた場合の、それぞれの撮像素子に対するホワイトバランス調整点の分布を示すグラフである。図7の(1)は、色温度が4500Kの光源下で撮像素子A、B、Cを用いた場合の、それぞれの撮像素子を用いたときのホワイトバランス調整点を示す。図7の(2)は、図7の(1)に示されるグラフに、撮像素子A、B、Cに対するホワイトバランス調整範囲(太線)およびホワイトバランス検出範囲(破線)を追加したものである。図7の(3)は、撮像素子A、B、Cのホワイトバランス調整点を一致させた場合のホワイトバランスの調整範囲および検出範囲を示す。図7の(1)、(2)および(3)に示されるグラフにおいて、縦軸はR/B、横軸はB/Gを示し、図中の曲線は、光源の分布を表わす。ここで、R、G、Bは、撮像素子によって、ある光源下で無彩色の被写体を撮像した場合に得られるR成分、G成分、B成分の信号の平均信号量の値である。よって、図中の曲線の左上付近は、比較的R成分の多いハロゲン光(電灯)のような光源に相当し、中央部は蛍光灯、右下付近は比較的B成分の多い屋外光および曇天下の光源に相当する。例えば、ハロゲン光源下(R成分が多く、B成分が少ない)で無彩色の被写体を撮像した時のホワイトバランス調整点は、図7の左上に分布し、曇天下(B成分が多く、R成分が少ない)で無彩色の被写体を撮像した時のホワイトバランス調整点は、図7の右下に分布する。

ここで、ホワイトバランス調整とは、以上のようにして得られたR成分、G成分、B成分の平均信号量を、それらが等しくなるように、ゲインを用いて調整することをいう。これにより、例えば、黄色い電灯下で撮影した画像も、屋外で撮影したような好ましい色再現の画像に変換できる。

図7の(1)は、色温度が4500Kの光源下で、撮像素子A、B、Cを用いたときのホワイトバランス調整点を示す。図7の(1)に示されるように、撮像素子Aを用いたときのホワイトバランス調整点は曲線上にあるが、撮像素子B、

Cを用いたときのホワイトバランス調整点は曲線上になく、ややずれた位置にある。これは、同じ色温度4500Kの光源を用いた場合でも、各々の撮像素子のR成分、G成分及びB成分の光を感じる特性、つまり分光特性に違いがあるためである。従って、色温度4500Kの光源下において、R成分、G成分、B成分の各々の信号に与えるゲインの比は、撮像素子Aを用いた場合は、R : G : B = 1 : 1 : 1であるのに対して、撮像素子B及び撮像素子Cを用いた場合は、それぞれ、R : G : B = 0. 8 : 1 : 1、及びR : G : B = 0. 9 : 1 : 1. 8である。

図7の(2)は、撮像素子A、B、Cのホワイトバランス調整範囲(太線)およびホワイトバランス検出範囲(破線)を示す。撮像システムでは、自動ホワイトバランスモードの場合に、光源を自動的に判別して最適なホワイトバランス調整用のゲインを設定する。以下に、ホワイトバランス調整範囲及びホワイトバランス検出範囲について説明する。各々の撮像素子のホワイトバランス調整範囲(太線)は、その撮像素子を用いて、例えば、ハロゲン光源下から曇天下までの範囲で撮影を行った場合の、ホワイトバランス調整点の分布である。また、ホワイトバランス検出範囲は、以下のように定められる。撮像システムのホワイトバランスでは、一般に、撮像している画像の平均の色分布から光源を判定するが、被写体が無彩色であるという保証がないので、無彩色の可能性のある画像信号から光源を求める。そこで、ホワイトバランス検出範囲に入る信号を、無彩色の可能性のある画像信号とし、ホワイトバランス検出範囲(破線)に入る映像信号のみを集めて、色成分ごとの信号量の平均値を求め、光源判定の元になる平均値の信号を得ることにしている。撮像素子の感度の違いを考慮するとき、ホワイトバランス調整を行う場合に、ホワイトバランスの調整範囲および検出範囲を、素子ごとに調整しなければならない。これらの調整範囲および検出範囲の調整は、製品の調整工程を複雑にするとともに、ホワイトバランス調整のソフトウェアを複雑にする。

本実施の形態による撮像システムにおいては、第1のホワイトバランス調整回路62により、感度の異なる撮像素子に対して、色温度4500Kにおけるホワイトバランスの調整点を一致させる。つまり、1つの色温度(4500K)に対

して、全ての撮像素子に一定のゲインをかけるのではなく、撮像素子Aに対してはR : G : B = 1 : 1 : 1のゲインをかけ、一方、撮像素子B及び撮像素子Cに対しては、それぞれ、R : G : B = 0. 8 : 1 : 1、及びR : G : B = 0. 9 : 1 : 1. 8のゲインをかける。これにより、図7の(3)に示すように、ホワイトバランスの調整範囲および検出範囲を1つに限定することができる。従って、以後、第2のホワイトバランス調整回路32により、撮影時の条件でホワイトバランス調整を行う際には、撮像素子の感度による違いを考慮せずに、限定されたホワイトバランス調整範囲および検出範囲を利用して、ホワイトバランス調整を行うことができる。

本実施の形態による撮像システムにおいて、ローデータのデータ量は、第2の実施の形態による撮像システムと同様に低減される。従って、撮像システム60は、従来の撮像システム100と比較して、消費電力を32%程度低減できる。

本実施の形態による撮像システムでは、メモリコントローラによってデータがメモリに格納される前に、そのデータのデータ量を削減する。よって、メモリとメモリコントローラとの間でやりとりされるデータ量が削減され、それらのインターフェース部分における消費電力を低減できる。結果として、撮像システムの消費電力削減および処理スピードの向上が可能になる。

また、本実施の形態による撮像システムでは、前処理回路が、ホワイトバランス調整回路および階調補正回路を有するので、撮像システムにおける消費電力削減および処理スピードの向上を実現すると同時に、ホワイトバランス調整および階調補正を行うことができる。

また、本実施の形態による撮像システムは、撮像素子の感度のばらつきによる影響を低減し、カメラシステムの設計および調整を容易に実現できる。

なお、本実施の形態による撮像システムにおいて、前処理回路は、第1のホワイトバランス調整回路、第2のホワイトバランス調整回路および階調補正回路を有するが、前処理回路は、階調補正回路を必ずしも備える必要はない。第1のホワイトバランス調整回路と第2のホワイトバランス調整回路とを備え、かつ、階調補正回路を含まない前処理回路であっても、削減量の違いはあるが、データ量を削減できるので、本実施の形態による撮像システムと同様の効果が得られる。

(第4の実施の形態)

本実施の形態による撮像システムは、第3の実施の形態による撮像システムと異なり、前処理回路が、第1のホワイトバランス調整回路、階調補正回路および第2のホワイトバランス調整回路に加えて、圧縮回路を有する。この圧縮回路で圧縮処理を行うことにより、ローデータの情報量が低減される。

図8は、第4の実施の形態による撮像システムの構成を示すブロック図である。図8において、図6と同一の構成には同一の符号を付している。図8に示されるように、本実施の形態による撮像システム80において、前処理回路81は、第1のホワイトバランス調整回路62、第2のホワイトバランス調整回路32、階調補正回路33および圧縮回路82、レベル検出回路28及びマイコン27から成る情報量低減回路を備える。図1、図3および図6と同一の符号を付した構成要素については、(第1の実施の形態)から(第3の実施の形態)で既に述べたので、その構成および動作についての説明を省略する。

階調補正回路33から出力された8ビットのローデータ(RAW8)は、圧縮回路82に入力される。圧縮回路82は、8ビットのローデータ(RAW8)に対し、ADPCM (Adaptive Differential Pulse Code Modulation: 適応差分パルス符号変調)による圧縮処理を施す。ここでのADPCMは、例えば、ローデータ(RAW8)の同じ色成分の信号を8画素ごとにまとめ、先頭の画素に続く画素の値(信号量)を、先頭画素の値(先頭値)の差分で表わし、ローデータの形式を、先頭値とその差分というデータの形式に変換するものである。このとき、例えば、先頭値を8ビット、差分を6ビットで与えれば、8画素毎のデータ量は、 $8 + 6 \times 7 = 50$ ビットとなり、圧縮前の $8 \times 8 = 64$ ビットの場合に比べて、データ量が低減できる。

また、前処理を行わない従来の撮像システムと比較して、8画素毎のデータ量が、112ビット($= 14\text{ビット} \times 8\text{画素}$)から50ビットに低減される。なお、ここで信号を同じ色成分ごとにまとめているのは、同じ色成分の信号は、近傍で相関性が高いためである。また、8画素ごとに信号をまとめているのは、カメラ信号処理においてローデータの一部のみを使用する場合に、差分演算する画素数が多いと所望のデータを得るのに時間がかかるためである。

これ以降の撮像システムの動作は、第1の実施の形態で説明した動作と同一であるので説明を省略する。ただし、本実施の形態による撮像システムにおいて、カメラ信号処理回路は、ADPCMで圧縮されたローデータを伸張する伸張回路が必要となる。

5 ここで、前処理回路から出力されるローデータのビット数が8／14の割合で低減され、かつ、圧縮されている場合の電力を見積もる。以下では、例として、撮影した画像を液晶表示装置21に表示する場合について考える。なお、本実施の形態による撮像システムにおいては、カメラ信号処理回路18にローデータが入力されると、カメラ信号処理回路18は、圧縮されているローデータを伸張して、YCデータを生成する。例えば、固体撮像素子12の画素数を500万画素とすると、1つの水平ラインの画素数は、2560画素である。また、このとき、カメラ信号処理回路18によって、表示用のYCデータ（輝度信号8ビット、色差信号8ビット）が生成されたときの、1つの水平ライン当たりの画素数を、720画素とする。この場合に、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、以下の式
10
15 (5) で表わされる。

【数5】

$$2560\text{画素} \times \frac{1}{8} \times 50\text{bit} \times 2 + 720\text{画素} \times (8+8)\text{bit} \times 2 = 55040\text{bit} \quad (5)$$

一方、ローデータが14ビットで、かつ、圧縮されないとき、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、上述の式(3)で表わされる。
20

式(3)及び式(5)を参照すると、 $55040 / 94720 = 0.58$ が成り立つことにより、本実施の形態による撮像システムにおいて、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、従来の撮像システム200と比較して、42%程度低減される。すなわち、前処理回路において、ホワイトバランス調整、階調補正および圧縮処理を施すことにより、撮像システム80は、従来の撮像システム200と比較して、消費電力を42%程度削減することができる。
25

本実施の形態による撮像システムでは、メモリコントローラによってデータがメモリに格納される前に、そのデータのデータ量を削減する。よって、メモリとメモリコントローラとの間でやりとりされるデータ量が削減され、それらのインターフェース部分における消費電力を低減できる。結果として、撮像システムの消費電力削減および処理スピードの向上が可能になる。

また、本実施の形態による撮像システムでは、前処理回路がホワイトバランス調整回路および階調補正回路を有するので、撮像システムにおける消費電力削減および処理スピードの向上を実現すると同時に、ホワイトバランス調整および階調補正を行うことができる。

なお、本実施の形態による撮像システムにおいては、圧縮回路の圧縮方式としてADPCM方式を用いたが、その他の圧縮方式を用いても同様の効果が得られる。

また、本実施の形態による撮像システムにおいて、前処理回路としての圧縮回路の圧縮率は1／2程度であるが、圧縮率を上げれば、消費電力削減効果が上がることは言うまでもない。ただし、この場合には、画質劣化が生じる。一方、圧縮方式をADPCMのような非可逆圧縮方式ではなく可逆圧縮方式とすれば、画質の劣化を避けることができる。ただし、この場合には、圧縮率を上げるのが難しいか、または、ローデータの取り扱いが複雑となる。

また、本実施の形態による撮像システムにおいて、前処理回路としての圧縮回路は、固定長の圧縮を行っている。これは、例えば、ローデータの一部のみを使用する場合に、SDRAM上のどの位置に必要なデータがあるかをわかりやすくするためにある。固定長の代わりに可変長の符号化を施せば、圧縮率を上げることができる。ただし、この場合には、メモリコントローラの構成が複雑になる。

なお、本実施の形態による撮像システムにおいて、前処理回路は、第1のホワイトバランス調整回路、第2のホワイトバランス調整回路、階調補正回路および圧縮回路を備えるが、前処理回路が、圧縮回路を備え、かつ、ホワイトバランス調整回路や階調補正回路を含まなくても、削減量の違いはあるが、データ量を削減できるので、本実施の形態による撮像システムと同様の効果が得られる。

なお、圧縮回路は、これまで述べられた実施の形態による撮像システムの前処理回路に含まれても、同様の効果が得られる。

(第5の実施の形態)

本実施の形態による撮像システムは、モード設定回路によって、信号処理のモードを設定し、かつ、機能制御回路によって、その設定されたモードに応じて前処理回路の機能を制御することにより、消費電力の削減と同時に撮影モードに応じた処理を行える。具体的には、動画撮影の場合には消費電力削減を重視し、静止画撮影の場合には画質を重視した処理を行える。

図9は、第5の実施の形態による撮像システムの構成を表す。図9に示されるように、撮像システム90は、光学レンズ11、固体撮像素子12、固体撮像素子12の駆動回路13、アナログ回路14、A/D変換回路15、メモリコントローラ16、記憶回路としてのSDRAM17、カメラ信号処理回路18、JPEG圧縮回路19、表示回路20、液晶表示装置21、カードコントローラ22、記録メディア23、前処理回路91、及び機能制御回路92を備える。前処理回路91は、第1のホワイトバランス調整回路62、第2のホワイトバランス調整回路32、階調補正回路、レベル検出回路28及びマイコン27から成る情報量低減回路を備える。機能制御回路92は、設定モードによって、入力信号を切り換えることができる3つのスイッチ93、94、95を備える。本実施の形態による撮像システム90が、これまで述べられた実施の形態による撮像システムと異なる点は、機能制御回路92を備える点である。ここで、第2のホワイトバランス調整回路32及び階調補正回路33は、部分情報量低減回路96を構成する。さらに、マイコン27が、モード設定回路としての機能も果たすように構成される。マイコン27は、駆動回路13、および、機能制御回路92のスイッチ93(SW1)、スイッチ94(SW2)、及びスイッチ95(SW3)に対し、モードの設定を行うことができる。図1、図3、図6および図8と同一の符号を付した構成要素については、(第1の実施の形態)から(第4の実施の形態)で既に述べているので、その構成および動作についての説明を省略する。

以下に、撮像システム90の動作について説明する。まず、動画モードについて説明する。モード設定回路として動作するマイコン27は、駆動回路13、および、機能制御回路92のスイッチ93、94、95に対して動画モードの設定を行う。光学レンズ11を通して光が入射すると、その光は、固体撮像素子12

によって光電変換される。ここで、駆動回路 13 は、固体撮像素子 12 を、動画モードで駆動している。次に、固体撮像素子 12 の出力信号が、アナログ回路 14 によって処理され、そのアナログ信号は、A/D 変換回路 15 によってデジタル信号に変換される。A/D 変換されて得られる 14 ビットのローデータ (RAW14) は、第 1 のホワイトバランス調整回路 62 に入力される。第 1 のホワイトバランス調整回路 62 は、第 3 の実施の形態と同様に、14 ビットのローデータを、ホワイトバランス調整により 10 ビットのローデータ (RAW10A) に変換し、その 10 ビットのローデータを出力する。また、この第 1 のホワイトバランス調整回路 62 は、入力されたローデータ (RAW14) について光源情報抽出処理やゲインの計算等を行う。第 1 のホワイトバランス調整回路 62 から出力されたローデータ (RAW10A) は、機能制御回路 92 に入力される。ここで、機能制御回路 92 は、モード設定回路として動作するマイコン 27 により、動画モードに設定されている。動画モードにおいては、第 1 のホワイトバランス調整回路 62 から機能制御回路 92 に入力されたローデータ (RAW10A) が、スイッチ 94 (SW2) を通って、第 2 のホワイトバランス調整回路 32 及び階調補正回路 33 を含む部分情報量低減回路 96 に入力される。

部分情報量低減回路 96 に入力されたローデータ (RAW10A) は、第 2 のホワイトバランス調整回路 32 によって、ホワイトバランス調整が施される。ここで、このホワイトバランス調整に用いられる光源情報等のホワイトバランス情報は、この入力されたローデータ (RAW10A) が第 1 のホワイトバランス調整回路 62 によってホワイトバランス調整される前に、第 1 のホワイトバランス調整回路 62 に入力された時点で、その直前に、第 1 のホワイトバランス調整回路 62 に入力されたローデータについての情報である。第 2 のホワイトバランス調整回路 32 は、入力されたローデータに、第 3 の実施の形態と同様にホワイトバランス調整を施し、その結果得られるローデータ (RAW10B) を出力する。第 2 のホワイトバランス調整回路 32 から出力されたローデータ (RAW10B) は、階調補正回路 33 に入力され、階調補正回路 33 により、ガンマ補正処理が施される。従って、部分情報量低減回路 96 は、8 ビットのローデータ (RAW8) を出力する。部分情報量低減回路 96 から出力されたローデータ (RA

W8)は、機能制御回路92に入力され、スイッチ93(SW1)を通って、メモリコントローラ16に出力される。メモリコントローラ16は、そのローデータ(RAW8)をDRAM17に格納する。

次に、メモリコントローラ16は、SDRAM17に格納されているローデータを読み出して、それを機能制御回路92に出力する。機能制御回路92は、動画モード設定されているので、メモリコントローラ16から入力されたローデータ(RAW8)を、スイッチ95(SW3)を通して、カメラ信号処理回路18に転送する。カメラ信号処理回路18は、転送されたローデータ(RAW8)にカメラ信号処理を施して、ローデータ(RAW8)を輝度信号(Y)と色差信号(C)とで表されるYCデータ(YC)に変換する。メモリコントローラ16は、変換されたYCデータをカメラ信号処理回路18から読み出して、それを再び、DRAM17に格納する。以降の撮像システムの動作は、第1の実施の形態で説明した動作と同一であるので、ここでは説明を省略する。

上述の動画モードでは、撮像システム90における消費電力が、第3の実施の形態による撮像システム60と同様に、約32%程度削減される。

ホワイトバランス調整においては、入力されたローデータのホワイトバランス情報を用いて、そのローデータに対してゲイン調整を行うことが望ましい。しかし、ローデータからの光源情報の抽出には、1画面分のローデータの取り込みに必要な時間を要する。動画の場合には、ローデータがホワイトバランス調整回路に次々に取り込まれる(例えば、1秒間に30枚の画像のローデータが取り込まれる。)ので、光源情報抽出やゲイン計算等を行っている間に、次のローデータがホワイトバランス調整回路に入力される。従って、動画モードにおいては、ローデータのホワイトバランス調整を行う際に、撮像システムでそのローデータが得られる直前に得られたローデータ(例えば、1秒間に30枚の画像のローデータが取り込まれる場合は、1/30秒前に取り込まれたローデータ)の光源情報によりホワイトバランス処理を行う。本実施の形態による撮像システム90においては、動画モードの場合、第1のホワイトバランス調整回路62によって取得されたホワイトバランス情報を、次に第1のホワイトバランス調整回路62に入力されたローデータ(RAW14)が、続いて第2のホワイトバランス調整回路

3 2 に入力され、その後、その第 2 のホワイトバランス調整回路 3 2 においてホワイトバランス調整される際に使用する。

次に、静止画モードでの動作について説明する。モード設定回路としてのマイコン 2 7 は、駆動回路 1 3 および機能制御回路 9 2 のスイッチ 9 3, 9 4, 9 5 に対して静止画モードの設定を行う。光学レンズ 1 1 を通して光が入射すると、その光は、固体撮像素子 1 2 によって光電変換される。ここで、駆動回路 1 3 は、固体撮像素子 1 2 を、静止画モードで駆動している。次に、固体撮像素子 1 2 の出力信号が、アナログ回路 1 4 によって処理され、そのアナログ信号は、A/D 変換回路 1 5 によってデジタル信号に変換される。A/D 変換された 1 4 ビットのローデータ (RAW1 4) は、第 1 のホワイトバランス調整回路 6 2 に入力される。第 1 のホワイトバランス調整回路 6 2 は、第 3 の実施の形態と同様に、1 4 ビットのローデータを、ホワイトバランス調整により 1 0 ビットのローデータ (RAW1 0 A) に変換し、その 1 0 ビットのローデータを出力する。また、この第 1 のホワイトバランス調整回路 6 2 は、入力されたローデータ (RAW1 4) について光源情報抽出やゲイン計算等を行う。第 1 のホワイトバランス調整回路 6 2 から出力されたローデータ (RAW1 0 A) は、機能制御回路 9 2 に入力される。ここで、機能制御回路 9 2 は、モード設定回路としてのマイコン 2 7 により静止画モードに設定されている。静止画モードにおいては、第 1 のホワイトバランス調整回路 6 2 から入力されたローデータ (RAW1 0 A) が、スイッチ 9 3 (SW1) を通って、メモリコントローラ 1 6 に入力される。メモリコントローラ 1 6 は、そのローデータ (RAW1 0 A) を、SDRAM 1 7 に格納する。

次に、メモリコントローラ 1 6 は、SDRAM 1 7 に格納されているローデータ (RAW1 0 A) を読み出して、それを機能制御回路 9 2 に出力する。ここで、機能制御回路 9 2 は、モード設定回路として動作するマイコン 2 7 により、静止画モードに設定されている。静止画モードにおいては、第 1 のホワイトバランス調整回路 6 2 から機能制御回路 9 2 に入力されたローデータ (RAW1 0 A) が、スイッチ 9 4 (SW2) を通って、部分情報量低減回路 9 6 に入力される。部分情報量低減回路 9 6 に入力された 1 0 ビットのローデータ (RAW1 0) は、第

2のホワイトバランス調整回路32によって、ホワイトバランス調整が施される。ここで、ホワイトバランス調整に用いられる光源情報等のホワイトバランス情報は、このローデータが、第1のホワイトバランス調整回路62に入力されたときに、その第1のホワイトバランス調整回路62が取得したホワイトバランス情報である。第2のホワイトバランス調整回路32は、入力されたローデータに、第3の実施の形態と同様にホワイトバランス調整を施した後、そのホワイトバランス調整されたローデータを階調補正回路33に出力する。階調補正回路33は、入力されたローデータを、ガンマ補正処理により、8ビットのローデータ(RAW8)に変換し、それを出力する。部分情報量低減回路96から出力された8ビットのローデータ(RAW8)は、機能制御回路92に入力される。機能制御回路92は、静止画モードに設定されているので、その入力された8ビットのローデータを、スイッチ95(SW3)を通して、カメラ信号処理回路18に転送する。カメラ信号処理回路18は、転送されたローデータにカメラ信号処理を施し、入力されたローデータを、輝度信号(Y)と色差信号(C)とで表されるYCデータ(YC)に変換する。メモリコントローラ16は、変換されたYCデータを、カメラ信号処理回路18から読み出し、それを再びSDRAM17に格納する。以降の撮像システムの動作は、第1の実施の形態で説明した動作と同一であるので、ここでは説明を省略する。

静止画モードにおいては、ローデータ(RAW10A)を、その情報量を8ビットに低減する前にSDRAM17に格納する。よって、撮像システム91が消費する電力は、従来の撮像システムと比較して、第1の実施の形態と同様に約22%程度低減される。

静止画モードにおいては、A/D変換回路15から出力されたローデータを、一旦SDRAM17に格納してから、ホワイトバランス調整を行うので、第1のホワイトバランス調整回路62において入力されたローデータについて光源情報抽出やゲイン計算等を行いながら、その一方で、そのローデータをSDRAM17に格納し、それをSDRAM17から読み出し、また、第2のホワイトバランス調整回路32において、そのローデータに、第1のホワイトバランス調整回路62で計算したゲイン等を用いて、ホワイトバランス調整を行うことが可能であ

る。従って、ローデータが第1のホワイトバランス調整回路62に入力されてから、第3のホワイトバランス調整回路32から出力されるまでの間に、そのローデータのホワイトバランス設定値の計算が可能となり、入力されたローデータに、そのローデータの情報を用いて、ホワイトバランス調整を施すことができる。従
5 って、ホワイトバランス精度の良い高品質な画像を得ることができる。

ホワイトバランス調整においては、入力されたローデータに対して、そのローデータの情報を用いてゲイン調整を施すことが望ましい。上述の静止画モードにおいては、取り込んだ1画面分のローデータから抽出した光源情報により、ホワイトバランスゲインを算出し、そのホワイトバランスゲインを用いて、その取り
10 込んだローデータに対してホワイトバランス調整を行うことができる。

デジタルスチルカメラのような静止画を撮像するカメラでは、撮像したローデータのホワイトバランス情報（光源情報等）を用いてホワイトバランス調整を施すことが望ましい。本実施の形態による撮像システムにおいて、静止画撮影の場合には、取り込んだローデータに対して、その取り込んだローデータのホワイト
15 バランス情報を用いて、ホワイトバランス調整を施すことができる。それに対して、動画の場合には、短時間に、被写体の画像が次々に撮像システムに取り込まれるので、取り込んだ画像のローデータに対して、その直前に撮像システムに取り込んだ画像のローデータのホワイトバランス情報を用いてホワイトバランス調整を施しても大きな問題はない。特に、静止画の場合には、処理時間の制約が、
20 繰り返し処理が必要な動画に比べてゆるいので、消費電力削減よりも画質に重点が置かれる。本実施の形態による撮像システムは撮影モードに応じた処理を行うことができ、動画撮影モードの場合には消費電力削減を重視し、静止画撮影モードの場合には画質を重視して処理を行うことが可能である。

以下に説明される第6の実施の形態乃至第10の実施の形態の撮像システムは、
25 A/D変換回路とメモリコントローラとの間に、前処理回路を備え、その前処理回路は、A/D変換回路から出力されるローデータを間引きする間引き回路を備える。これらの撮像システムは、間引き回路によりローデータを間引きしてデータ数を低減し、その結果、ローデータのデータ量を低減することにより、SDRAMとメモリコントローラとのインターフェース部分における消費電力を低減しよ

うというものである。

(第6の実施の形態)

図10は、本発明の第6の実施の形態による撮像システムの構成を示すプロック図である。図10において、図1の撮像システムと同一の構成要素には、同一の符号を付し、説明を省略する。図10に示されるように、撮像システム100における前処理回路102は、間引き回路103を備える。さらに、カメラ信号処理回路18は、ズーム処理回路104を備える。前処理回路102は、A/D変換回路15に接続され、A/D変換回路15から出力された信号を受け取ってそれを出力する。なお、前処理回路102は、信号の情報量を低減するものではない。例えば、A/D変換回路15から出力される信号の情報量が10ビットのとき、前処理回路102から出力されるローデータの情報量は10ビットのままである。

固体撮像素子12は、例えば、電荷結合素子（以下、「CCD」という。）である。固体撮像素子12は、2次元に配列された多数の画素から成る。例えば、固体撮像素子12の画素数が500万画素の場合、それは、水平方向及び垂直方向に、それぞれ、2560画素及び1920ラインの有効画素数を備える。また、固体撮像素子12は、各々の画素に1つずつ対応するフォトダイオードを有する。各々のフォトダイオード上には、赤色フィルタ、緑色フィルタ、及び青色フィルタのいずれかが配置される。図11は、撮像素子12の各々の画素に設けられた色フィルタの配列の一例を示す。ここで、図11は、部分的な配列（縦横4×4の配列）を示すものであり、色フィルタ全体は、この部分的な配列が複数個集まつたものである。図11において、Rは赤色フィルタ、Gは緑色フィルタ、Bは青色フィルタである。図11に示されるように、撮像素子12における色フィルタの配列は、赤色フィルタ（R）と緑色フィルタ（G）と青色フィルタ（B）が水平方向に交互に配列された水平ラインと、緑色フィルタ（G）と青色フィルタ（B）が水平方向に交互に配列された水平ラインとが垂直方向に交互に並ぶことにより構成される。

この撮像素子12に光が照射されると、撮像素子12は、その各々の画素について電気信号を生成する。そして、A/D変換回路15は、撮像素子12の各々の画素に対応するデジタルデータ（以下、「画素データ」という。）を出力する。

以下では、撮像素子12における赤色フィルタを有する画素に対応する画素データをRデータ、緑色フィルタを有する画素に対応する画素データをGデータ、青色フィルタを有する画素に対応する画素データをBデータとする。

図12は、撮像素子12の色フィルタが図11のように配列された場合に、A/D変換回路15が outputするデジタル信号（ローデータ）を示すタイミング図である。図12の（1）は、水平同期信号を示し、図12の（2）は、ローデータを示す。A/D変換回路15は、撮像素子12における水平方向の画素配列（水平ライン）毎に、その水平ラインにおける複数の画素に対応する画素データを出力する。ここで、図11に示される色フィルタの配列においては、赤色フィルタ（R）と緑色フィルタ（G）が交互に配列された水平ラインと、緑色フィルタ（G）と青色フィルタ（B）が交互に配列された水平ラインとが垂直方向に交互に並ぶ。よって、A/D変換回路15は、図12に示されるように、Rデータ（図12において「R」で示される。）とGデータ（図12において「G」で示される。）を交互に出力する動作と、GデータとBデータ（図12において「B」で示される。）を交互に出力する動作とを交互に繰り返す。そして、これらの動作は、水平同期信号により切り替わる。以上のようにしてA/D変換回路15から出力されたローデータは、前処理回路102に入力される。

以下に、前処理回路102について説明する。前処理回路102は、入力されたローデータを、そのままメモリコントローラ16に出力する。一方、前処理回路102における間引き回路103は、メモリコントローラ16にSDRAM書き込み制御信号（図10において、a1で示される。）を出力する。つまり、前処理回路102は、メモリコントローラ16に、ローデータとSDRAM書き込み制御信号を同時に出力する。図13は、ローデータとSDRAM書き込み制御信号とを説明するタイミング図である。図13において、（1）は、前処理回路102に入力されるローデータ、（2）は、メモリコントローラ16に入力されるローデータ、（3）は、メモリコントローラ16に入力されるSDRAM書き込み制御信号を示す。図13に示されるように、SDRAM書き込み制御信号は、一定の周期で高レベルになる。具体的に、SDRAM書き込み制御信号は、ある画素データがメモリコントローラ16に入力されるときに高レベルになると、そ

の後、続いて2個の画素データがメモリコントローラ16に入力されるときには低レベルとなる。そして、SDRAM書き込み制御信号は、その2個の画素データがメモリコントローラ16に入力された後、3個目の画素データが入力されるときに再び高レベルになる。SDRAM書き込み制御信号は、高レベル(HI)で、SDRAM17への書き込み許可を示し、低レベル(LO)で、SDRAM17への書き込み禁止を示す。よって、SDRAM書き込み制御信号が高レベルになるタイミングと同じタイミングでメモリコントローラ16に入力される画素データのみが、メモリコントローラ16からSDRAM17に出力される。

撮像素子12における1つの水平ラインに対応した複数の画素データがメモリコントローラ16に入力される場合、図13に示されたタイミングでは、入力される画素データの3個のうち1個の割合で、SDRAM書き込み制御信号が高レベルになる。従って、撮像素子12の1つの水平ライン当たり、画素データを1/3に間引いたローデータが、SDRAM17に格納される。

次に、メモリコントローラ16は、SDRAM17から、間引き回路103によって画素データの数(つまり、データ数)が低減されたローデータを読み出して、カメラ信号処理回路18に転送する。カメラ信号処理回路18は、そのローデータにカメラ信号処理を施して、輝度信号(Y)と色差信号(C)とで表されるYCデータ(YC)を生成する。メモリコントローラ16は、そのYCデータを読み出して、SDRAM17に格納する。なお、カメラ信号処理回路18は、ローデータに対して、ホワイトバランス処理、 γ 変換処理、輝度信号生成処理、色差信号生成処理、解像度改善のためのアパーチャ補正処理などの処理を施す。さらに、ズーム処理回路104により、ローデータにズーム処理(後述する)を施す。このズーム処理により、撮像素子12の1つの水平ラインに対応する画素データは、さらに低減される。

次に、撮影した画像を液晶表示装置21に表示する場合、メモリコントローラ16は、SDRAM17に格納されている表示用のYCデータを読み出して、表示回路20に転送する。表示回路20は、YCデータを表示用の信号(表示データ)に変換して、その信号を液晶表示素子21に出力する。液晶表示素子21は、その表示用の信号で表わされる画像を表示する。

また、YCデータを圧縮してSDRAM17に格納する場合、メモリコントローラ16は、SDRAM17に格納されているYCデータを読み出して、それをJPEG圧縮回路19に出力する。JPG圧縮回路19は、JPEG方式による圧縮処理を施し、符号データ（JPC）を生成する。メモリコントローラ16は、JPEG圧縮回路19からその符号データを読み出して、SDRAM17に格納する。

カードコントローラ22は、SDRAM17に接続され、SDRAM17に格納されているJPEGの符号データを読み出し、記録メディア23に書き込む。

ここで、メモリコントローラ16とSDRAM17とのインターフェース部分で消費される電力を見積もる。以下では、例として、撮影した画像を液晶表示装置21に表示する場合について考える。例として、前処理回路102から出力されるローデータの情報量を、10ビットとする。また、撮像素子12の画素数を500万画素とし、1つの水平ラインの画素数を2560画素とする。さらに、カメラ信号処理回路18によってズーム処理（補間及び間引き処理）が施されて、表示用のYCデータ（輝度信号8ビット、色差信号8ビット）が生成されたときの、1つの水平ライン当たりの画素数（画素データ数）を720画素とする。

撮影した画像を液晶表示装置21に表示する場合、メモリコントローラ16とSDRAM17との間でやりとりされるデータの流れは、第1の実施の形態で説明した通りである。

ローデータを1つの水平ライン当たり1/3に間引いたローデータをSDRAM7に格納する場合、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、以下の式（6）で表わされる。なお、ローデータを1つの水平ライン当たり1/3に間引いた場合、その1つの水平ラインの画素数は、853画素である。

【数6】

$$853\text{画素} \times 10\text{bit} \times 2 + 720\text{画素} \times (8+8)\text{bit} \times 2 = 40100\text{bit} \quad (6)$$

一方、A/D変換回路16が出力するローデータを間引かずにSDRAM17に格納する場合、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、以下の式（7）で表わされ

る。

【数7】

$$2560\text{画素} \times 10\text{bit} \times 2 + 720\text{画素} \times (8+8)\text{bit} \times 2 = 74240\text{bit} \quad (7)$$

式(6)及び式(7)を参照すると、間引きを行う場合と行わない場合とでは、メモリコントローラ16とSDRAM17との間でやりとりされるデータの全データ量は異なる。具体的に、 $40100 / 74240 = 0.54$ が成り立つことにより、間引きを行った場合にメモリコントローラ16とSDRAM17との間でやりとりされるデータの全データ量は、間引きを行わない場合の54%になる。ここで、メモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量と、それらのインターフェース部分における消費電力は比例するので、本実施の形態による撮像システムの消費電力は、間引きを行わない従来の撮像システムの消費電力の54%になる。すなわち、本実施の形態による撮像システムによれば、間引き回路15によって間引きを行うことにより、撮影した画像を液晶表示装置21に表示する場合に、46%程度の電力を削減することができる。

YCデータを圧縮してSDRAM17に格納する場合も、同様に、従来の撮像システムと比べて、消費電力を低減できる。

また、本実施の形態による撮像システムによれば、カメラ信号処理回路18で信号処理をする際に、SDRAM17から読み出すローデータのデータ量が、従来の撮像システムに比べて削減されている。従って、SDRAM17からローデータを読み出す際の処理速度が速くなる。

なお、本実施の形態による撮像システムにおいては、間引き回路15によって間引きを行うことにより、SDRAM17に書き込むローデータのデータ数を1/3に削減したが、削減の割合はこれに限られない。例えば、1/2に削減してもよい。図14は、SDRAM17に書き込むローデータのデータ数を1/2に削減する場合の、ローデータとSDRAM書き込み制御信号を説明するタイミング図である。図14において、(1)は、前処理回路102に入力されるローデータ、(2)は、メモリコントローラ16に入力されるローデータ、(3)は、メモリコントローラ16に入力されるSDRAM書き込み制御信号を示す。図14を参照すると、SDRAM書き込み制御信号は、メモリコントローラ16に2

個の画素データ（RデータとGデータ）が入力される毎にレベルが変化する。つまり、あるRデータとGデータが連續して入力されるときに高レベルであると、次のRデータとGデータが入力されるときには低レベルになる。この場合であっても、本実施の形態による撮像システムと同一の効果が得られる。

なお、駆動回路13によって撮像素子12におけるフォトダイオードを制御することにより、撮像素子12の出力信号を垂直方向に間引く、すなわち、水平ライン数を間引くことも可能である。その場合、モニターモードが設定されると、駆動回路13によって垂直方向に間引かれた信号が固体撮像素子12から出力され、その信号は、アナログ信号14を経て、A/D変換回路15に入力される。

10 (第7の実施の形態)

図15は、本発明の第7の実施の形態による撮像システムの構成を示すプロック図である。図15において、図10の撮像システムと同一の構成要素には同一の符号を付し、説明を省略する。本実施の形態による撮像システム110が、第6の実施の形態による撮像システムと異なる点は、レリーズボタンと、レリーズボタンの状態（レリーズボタン押されているかそうでないか）を検知するレリーズ検知回路と、マイコンとを備える点である。マイコンは、レリーズボタンの状態に応じて、間引き回路を制御する。

図15に示されるように、撮像システム110は、レリーズボタン111、レリーズ検知回路112、及びマイコン113を備える。レリーズ検知回路112は、レリーズボタン111に接続され、レリーズボタン111がユーザによって押されたか否かを示す信号を、マイコン113に出力する。マイコン113は、間引き回路103及びメモリコントローラ16に接続され、レリーズ検知回路112からの信号に応じて、間引き回路103及びメモリコントローラ16を制御する。

撮像システム30において、光学レンズ11に光が入射してから、A/D変換回路15がデジタル信号を出力するまでの動作は、レリーズボタン111の状態がどうであれ同じであり、第1の実施の形態で説明した通りである。しかし、A/D変換回路15が前処理回路102にデジタル信号を出力した後の動作は、レリーズボタン111が押されている場合とそうでない場合とで異なる。レリーズ

ボタン111が押されず、上の位置にあるときは、通常、デジタルスチルカメラにおいて、静止画の撮影を行わず、撮影を行うための確認用に撮影画角の画像を液晶表示装置に表示させる場合（以下、「モニタモード」という。）である。モニタモードの場合、前処理回路102は、第6の実施の形態で説明したように間引き処理を行い、メモリ17にデータ量が低減されたローデータが格納される。

このローデータが読み出されて、カメラ信号処理回路18に出力されてから、カメラ信号処理回路18で生成されたYCデータが表示回路20に出力されるまでの動作は、第1の実施の形態で説明した通りである。

なお、レリーズボタン111が押されない場合、レリーズ検知回路112は、レリーズ検知回路112からレリーズボタン111が押されていないことを示す信号を出力してもよく、何も信号を出力しなくてもよい。

次に、レリーズボタン111を押して、静止画を撮影する場合（以下、「静止画モード」という。）について説明する。レリーズボタン111が押されると、レリーズ検知回路112からマイコン113に、レリーズボタン111が押されたことを示す信号が出力される。このとき、マイコン113は、間引き回路103に、間引きの停止を指示する。具体的には、間引き回路103に、常に高レベルのSDRAM書き込み制御信号を出力させる。このとき、前処理回路102からメモリコントローラ16に出力されたローデータは、全て、メモリコントローラ16によってSDRAM17に格納される。

ローデータがSDRAM16に格納された後の撮像システムの動作は、モニタモード及び静止画モードの両方で同一である。この動作は以下の通りである。メモリコントローラ16は、次に、SDRAM17に格納されたローデータを読み出して、カメラ信号処理回路18に転送する。カメラ信号処理回路18は、そのローデータにカメラ信号処理を施して、輝度信号(Y)と色差信号(C)とで表されるYCデータ(YC)を生成する。メモリコントローラ16は、そのYCデータを読み出して、SDRAM17に格納する。なお、カメラ信号処理回路18は、ローデータに対して、ホワイトバランス処理、 γ 変換処理、輝度信号生成処理、色差信号生成処理、解像度改善のためのアパーチャ補正処理などの処理を施す。

静止画モードの場合、メモリコントローラ16は、次に、SDRAM17に格納されている記録用のYCデータを読み出して、JPEG圧縮回路19に出力する。JPG圧縮回路19は、JPEG方式による圧縮処理を施し、符号データ(JPC)を生成する。メモリコントローラ16は、JPEG圧縮回路19からその符号データを読み出して、SDRAM17に格納する。

SDRAM17に格納されている符号データは、カードコントローラ122によって読み出され、記録メディア23に書き込まれる。

本実施の形態による撮像システムによれば、解像度の高い画像を表示する必要がないモニタモードと、解像度の高い画像を記録しなければならない静止画モードとで、間引き回路の動作を変えることができる。これにより、モニタモードでは、ローデータを間引きして、SDRAMとメモリコントローラとの間のインターフェース部分における消費電力を低減でき、静止画モードでは、解像度の高い良質な画像をSDRAMに格納できる。

なお、本実施の形態による撮像システムにおいては、モニタモードと静止画モードとの間でモードの切り替えを行ったが、さらに、モニタモード、静止画モード、及び動画モードの間でモードの切り替えを行ってもよい。図16は、これらのモードの間でモードの切り替えを行う撮像システムの構成を示すブロック図である。図16において、図15の撮像システムと同一の構成要素には、同一の符号を付している。図16の撮像システム115が、図15の撮像システム110と異なる点は、さらに、モード切り替えスイッチ116と、MPEG(Moving Picture Experts Group)圧縮回路117とを備える点である。ユーザがレリーズボタン111を押すとき、静止画を撮影する場合と、動画を撮影する場合がある。ユーザは、モード切り替えスイッチ116を用いて、撮像システムにモードを入力することができる。モード切り替えスイッチ116は、ユーザがどちらのモードを選択したかを示す信号をマイコン113に出力する。マイコン113は、レリーズ検知回路112からレリーズボタン111が押されたことを示す信号が出力されると、ユーザがどちらのモードを選択した場合であっても、間引き回路103に間引き処理を開始させる。しかし、モード切り替えスイッチ116によって、ユーザが静止画モードを選択したことを示す信号

が入力されると、メモリコントローラ16に、SDRAM17から記録用のYCデータを読み出して、それをJPEG圧縮回路19に転送するように指示し、モード切り替えスイッチ116によって、ユーザが動画モードを選択したことを示す信号が入力されると、メモリコントローラ16に、SDRAM17から記録用のYCデータを読み出して、それをMPEG圧縮回路117に転送するように指示する。
5

なお、マイコン113によって駆動回路13を制御することにより、駆動回路13によって撮像素子12におけるフォトダイオードを制御することが可能である。よって、各々の水平ラインのデータを間引くと同時に、撮像素子12の出力信号を垂直方向に間引く、すなわち、水平ライン数を間引くことも可能である。
10

(第8の実施の形態)

本実施の形態による撮像システムは、A/D変換回路とメモリコントローラとの間に、前処理回路として、補間回路と間引き回路とを含むズーム処理回路を備える。

15 図17は、本発明の第8の実施の形態による撮像システムの構成を示すブロック図である。図17において、図17の撮像システムと同一の構成要素には同一の符号を付し、説明を省略する。本実施の形態による撮像システム120が、第6の実施の形態による撮像システム115と異なる点は、前処理回路102が、間引き回路と補間回路とを含むズーム処理回路121を有する点である。

20 図18は、ズーム処理回路121の構成を示すブロック図である。図18に示されるように、ズーム処理回路121は、間引き回路103及び補間回路122を備える。A/D変換回路15から出力されたローデータは、補間回路122に入力される。補間回路122から出力されたデータは、メモリコントローラ16に入力される。

25 以下に、補間回路122について説明する。図19は、補間回路122の構成を示す図である。図19に示されるように、補間回路122は、ディレイフリップフロップ(delay flip-flop:以下、「Dフリップフロップ」という。)125、第1の乗算回路126、第2の乗算回路127、及び加算回路128を備える。補間回路122に入力された信号は、2つに分岐し(「分離

」ではない。補間回路 122 に入力された信号が 2 方向に流れる。）、その一方が D フリップフロップ 125 に入力され、他方が第 2 の乗算回路 127 に入力される。D フリップフロップ 125 は、入力された信号を、2 クロック（1 クロックは、撮像システムの動作周波数の 1 周期分）だけ遅らせて、第 1 の乗算回路 126 に出力する。第 1 の乗算回路 126 は、入力された信号を k 倍 (k はズーム係数) して、その k 倍された信号を出力し、第 2 の乗算回路 127 は、入力された信号を $(1 - k)$ 倍して、その $(1 - k)$ 倍された信号を出力する。第 1 の乗算回路 126 及び第 2 の乗算回路 127 から出力される信号は、それぞれ、加算回路 128 に入力される。加算回路 128 は、第 1 の乗算回路 126 の出力信号と、第 2 の乗算回路 127 の出力信号とを足し合わせて、その結果得られる信号をメモリコントローラ 16 に出力する。加算回路 128 は、ある中心画素の画素データを $1 - k$ 倍したものと、その中心画素の画素データより 2 クロック早く出力された画素データを k 倍したものを加算する処理を行う。

以下に、撮像素子 12 の色フィルタが図 11 のように配列されている場合に A/D 変換回路 15 が output するローデータに対して、 $1/2$ 倍のズーム処理を行う場合について説明する。図 20 は、補間回路 122 が、メモリコントローラ 16 にローデータを出力する場合の、メモリコントローラ 16 に入力されるローデータと SDRAM 書き込み制御信号とを説明するタイミングを示す。図 20において、(1) は、前処理回路 102 に入力されるローデータ、(2) は、メモリコントローラ 16 に入力されるローデータ、(3) は、ズーム係数 k ($0 < k < 1$)、(4) は、メモリコントローラ 16 に入力される SDRAM 書き込み制御信号を示す。

図 20 を参照すると、まず、補間回路 122 に R データが入力される。補間回路 122 に入力された R データは、2 つに分岐し、その一方が D フリップフロップ 125 に入力され、他方が第 2 の乗算回路 127 に入力される。図 20 の (3) に示されるように、この場合のズーム係数は $1/3$ であり、第 2 の乗算回路 127 に入力された R データは、 $2/3$ ($= 1 - 1/3$) 倍される。 $2/3$ 倍された R データは、第 2 の乗算回路 127 から加算回路 128 に出力される。一方、第 1 の乗算回路 126 から出力される R データは、第 2 の乗算回路 127 より

りも2クロック遅延して加算回路128から出力される。よって、加算回路128には、 $2/3$ 倍されたRデータしか出力されず、補間回路122は、この $2/3$ 倍されたRデータをメモリコントローラ16に出力する。これは、次に補間回路122に入力されるGデータについても同様である。なお、Gデータが補間回路122に入力された場合、ズーム係数は、 $2/3$ である。

次に、補間回路122に2個目のRデータが入力される。このRデータも、上述のように2つに分岐し、一方がDフリップフロップ125に入力され、他方が第2の乗算回路127に入力される。図20の(3)に示されるように、このときのズーム係数は $1/3$ であり、第2の乗算回路127に入力されたRデータは、 $2/3$ 倍される。そして、この $2/3$ 倍されたRデータ(以下、「第1のRデータ」という。)が加算回路128に出力される。このとき、第1の乗算回路126から加算回路128に、2クロック前に補間回路122に入力されたRデータを $1/3$ 倍したRデータ(以下、「第2のRデータ」)が出力される。加算回路128は、この第1のRデータと第2のRデータとを加算して、その結果得られるRデータをメモリコントローラ16に出力する。

これ以降に補間回路122に入力されるRデータ及びGデータについても、同様の処理が行われる。このとき、補間回路122にRデータ及びGデータが入力された場合のズーム係数は、それぞれ、 $1/3$ 及び $2/3$ である。図20に示された矢印は、補間回路122に入力されたある画素データと、それよりも2クロック前に補間回路122に入力された画素データとが補間処理されて、メモリコントローラ16に入力されることを示す。

図20の(4)は、図20の(2)に示されるローデータと同時にメモリコントローラ16に出力されるSDRAM書き込み制御信号を示す。図20の(4)に示されるように、SDRAM書き込み制御信号は、一定の周期で高レベルになる。具体的に、SDRAM書き込み制御信号は、RデータとGデータが、それぞれ、最初にメモリコントローラ16に入力されるときに低レベルであり、その後、続いて2個の画素データ(2個目のRデータと2個目のGデータ)がメモリコントローラ16に入力されるときには高レベルとなる。そして、SDRAM書き込み制御信号は、その2個の画素データがメモリコントローラ16に入力された後、

続いて2個の画素データ（3個目のRデータと3個目のGデータ）が入力されるときに再び低レベルになる。以上のように、画素データが、メモリコントローラ16に2個ずつ入力される毎に、SDRAM書き込み制御信号の信号レベルが変化する。SDRAM書き込み制御信号が高レベルになるタイミングと同じタイミングでメモリコントローラ16に入力される画素データのみが、メモリコントローラ16からSDRAM17に出力される。

図21は、上述のズーム処理（補間処理と間引き処理）後のローデータにおけるRデータ及びGデータの相対的位置関係を示す。図21に示されるように、ローデータにおいて、Rデータ及びGデータは、等間隔に配置される。このようなRデータとGデータの等間隔の位置関係は、補間処理におけるズーム係数と間引き処理における間引き率とをうまく選択することによって、実現することができる。

この撮像システムにおいて、前処理回路102により、A/D変換回路15から出力されるローデータに1/2倍のズーム処理を行った場合、撮影した画像を液晶表示装置21に表示するときのメモリコントローラ16とSDRAM17との間でやりとりされるデータのデータ量は、1つの水平ライン当たり、以下の式(8)で表わされる。なお、ローデータに1つの水平ライン当たり1/2倍のズーム処理を行った場合、その1つの水平ラインの画素数は、1280画素である。

【数8】

$$1280\text{画素} \times 10bit \times 2 + 720\text{画素} \times (8+8)bit \times 2 = 48640bit \quad (8)$$

式(7)及び式(8)を参照すると、ズーム処理を行う場合と行わない場合では、メモリコントローラ16とSDRAM17との間でやりとりされるデータの全データ量は異なる。具体的に、 $48640 / 74240 = 0.66$ が成り立つことにより、ズーム処理を行った場合にメモリコントローラ16とSDRAM17との間でやりとりされるデータの全データ量は、ズーム処理を行わない場合の66%になる。よって、本実施の形態による撮像システムによれば、ズーム処理回路121によってズーム処理を行うことにより、撮影した画像を液晶表示装置21に表示する場合に、34%程度の電力を削減することができる。

本実施の形態による撮像システムによれば、A/D変換回路15から、前処理

回路102及びメモリコントローラ16を介して、SDRAM17に格納される信号は、A/D変換回路15から出力される全ての画素データを補間処理した結果得られる信号である。よって、これらの信号に対して処理を行い、その処理された信号を用いて表示する画像の品質は良質になるという効果がある。

5 また、本実施の形態による撮像システムによれば、カメラ信号処理回路18で信号処理をする際に、SDRAM17から読み出すローデータのデータ量が、従来の撮像システムに比べて削減されている。従って、SDRAM17からローデータを読み出す際の処理速度が速くなる。

10 なお、補間処理は、上述したものに限られない。よって、補間回路は、上述の回路以外の他の回路であってもよい。図22は、補間回路122の別の構成を示すブロック図である。図22において、図19と同一の構成要素には同一の符号を付し、説明を省略する。補間回路122は、乗算回路126、127の代わりに、乗算回路130、131を備える。図22に示されるように、補間回路122は、ある画素に対応する第1の信号を2倍したものと、その第1の信号に対し、2クロック早く出力された第2の信号を1倍したものと、第1の信号に対し、2クロック遅延して出力された第3の信号を1倍したものとを加算して平均する処理を行う。この補間処理後のローデータは、メモリコントローラ16に入力される。

15 なお、上述の説明では、ズーム処理の倍率は1/2倍であったが、これに限られない。図23は、撮像素子12の色フィルタが図11のように配列されている場合に、A/D変換回路15が出力するローデータに対して、1/3倍のズーム処理を行うときのメモリコントローラ16に入力されるローデータとSDRAM書き込み制御信号とを説明するタイミング図である。図23において、(1)は、前処理回路102に入力されるローデータ、(2)は、メモリコントローラ16に入力されるローデータ、(3)は、メモリコントローラ16に入力されるSDRAM書き込み制御信号を示す。図23における矢印は、図22の補間回路が3つの画素データを用いて補間処理を行うことを示す。ズーム処理において、補間処理を行った後の間引き処理は、図13を用いて説明した処理と同一であるので、ここでは説明を省略する。

図22及び図23を用いて説明したズーム処理（補間処理及び間引き処理）を行った場合であっても、図19及び図20を用いて説明したズーム処理を行った場合と同様の効果が得られる。

なお、これまでズーム処理回路121の構成及び動作を詳細に説明したが、ズーム処理回路104の構成及び動作も、ズーム処理回路121のそれらと同様である。

(第9の実施の形態)

図24は、本発明の第9の実施の形態による撮像システムの構成を示すブロック図である。図24において、図17の撮像システムと同一の構成要素には同一の符号を付し、説明を省略する。本実施の形態による撮像システム140が、第8の実施の形態による撮像システム120と異なる点は、レリーズボタン111、レリーズ検知回路112、及びマイコン113を備える点である。レリーズ検知回路112は、レリーズボタン111が押されているか否かを示す信号を出力する。マイコン113は、レリーズボタン112の状態（レリーズ検知回路112から出力される信号）に応じて、ズーム処理回路121を制御する。

図25は、ズーム処理回路121の構成を示すブロック図である。図25において、図18のズーム処理回路121と同一の構成要素には同一の符号を付し、説明を省略する。図25のズーム処理回路が、図18のズーム処理回路と異なる点は、セレクタ回路132を有する点である。前処理回路121に入力された信号は、2つに分岐して、補間回路122及びセレクタ回路132に入力される。セレクタ回路132は、A/D変換回路15から出力されたそのままのデジタル信号、及びA/D変換回路15から出力されたデジタル信号を補間回路122によって補間して得られる信号のいずれかを選択して、メモリコントローラ16に出力する。

マイコン111は、レリーズボタン112の状態に応じて、間引き回路103とセレクタ回路132を制御する。マイコン113による間引き回路103の制御は、第7の実施の形態で説明した通りである。すなわち、マイコン113は、レリーズ検知回路112からレリーズボタン111が押されていることを示す信号が入力されない（又は、レリーズ検知回路112からレリーズボタン111が

押されていないことを示す信号が入力される)と、間引き回路 103 に間引き処理をさせるが、レリーズ検知回路 112 からレリーズボタン 111 が押されたことを示す信号が入力されると、間引き回路 103 に、間引きの停止を指示する。さらに、マイコン 113 は、レリーズ検知回路 112 からレリーズボタン 111 が押されていることを示す信号が入力されないと、セレクタ回路 132 に、補間回路 122 によって補間された信号を出力するように指示する。一方、マイコン 113 は、レリーズ検知回路 112 からレリーズボタン 111 が押されたことを示す信号が入力されると、セレクタ回路 132 に、A/D 変換回路 15 から出力されたデジタル信号をそのままで出力するように指示する。

5 本実施の形態による撮像システムによれば、第 7 の実施の形態による撮像システムと同様の効果が得られる。

なお、上述の撮像システムにおいて、セレクタ回路 132 は、レリーズボタン 111 が押された場合には、A/D 変換回路 15 から出力されたデジタル信号をそのまま出力するが、レリーズボタン 111 が押された場合であっても、補間回路 122 によって補間された信号を出力してもよい。

15 (第 10 の実施の形態)

図 26 は、本実施の形態による撮像システムの構成を示すブロック図である。図 26 において、図 1-5 の撮像システムと同一の構成要素には同一の符号を付し、説明を省略する。本実施の形態による撮像システムが、第 7 の実施の形態による撮像システムと異なる点は、記録画素数選択スイッチを備える点である。

20 図 26 に示されるように、本実施の形態による撮像システム 150 は、記録画素数選択スイッチ 151 を備える。ユーザは、この記録画素数選択スイッチ 151 を用いて、記録時の画素数を設定することができる。このとき、前処理回路 102 の間引き回路 103 は、間引き率の異なる複数の間引きモードで動作可能である。ユーザが選択した記録画素数を示す信号が、記録画素数選択スイッチ 151 からマイコン 113 に入力されると、マイコン 113 は、その記録画素数から間引き率を判定し、ローデータがその間引き率で間引かれるように、間引き回路 103 を制御する。以下に、例として、撮像素子 12 の画素数が 500 万画素のとき、ユーザが記録時の画素数を 130 万画素と設定した場合について説明する。

撮像素子 12 の画素数が 500 万画素のとき、1 ライン当たり 2560 画素の水平ラインが、垂直方向に 1920 ライン並ぶ。また、130 万画素の画像は、1 ライン 1280 画素の水平ラインが、垂直方向に 960 ライン並ぶ。画素数が 500 万画素の撮像素子 12 によって撮像された画像を、130 万画素の画像として記録するとき、1 つの水平ラインの画素数を、2560 画素から 1280 画素にする必要がある。この場合、マイコン 113 は、記録画素数選択スイッチ 151 から、選択された記録画素数が 130 万画素数であることを示す信号が入力されると、ローデータが $1/2$ の間引き率で間引かれるように、間引き回路 105 を制御する。これにより、間引き回路 105 は、メモリコントローラ 16 に、例えば、図 14 に示される SDRAM 書き込み制御信号を出力する。

なお、本実施の形態による撮像システムによれば、選択された記録画素数に応じて、間引き回路が制御されたが、ズーム処理回路が制御されてもよい。このとき、マイコンは、ユーザが選択した記録画素数を示す信号が、記録画素数選択スイッチからマイコンに入力されると、その記録画素数からズーム倍率を判定し、ローデータがそのズーム倍率でズーム処理されるように、ズーム処理回路を制御する。図 27 は、選択された記録画素数に応じてズーム処理回路を制御する撮像システムの構成を示すブロック図である。図 27 に示される撮像システム 160 は、第 9 の実施の形態による撮像システム 140 に、記録画素数選択スイッチ 151 を追加した構成を有する。図 27 に示される撮像システムによれば、図 26 に示された撮像システムと同一の効果が得られる。

なお、本発明による撮像システムにおいて、A/D 変換回路とメモリコントローラとの間に設けられる前処理回路は、情報量低減回路、及び、間引き回路若しくはズーム処理回路を両方含んでもよい。

なお、本発明は、特定の実施形態について説明されてきたが、当業者にとって他の多くの変形例、修正、他の利用が明らかである。それゆえ、本発明は、ここで特定の開示に限定されず、添付の請求の範囲によってのみ限定され得る。

請 求 の 範 囲

1. 2次元に配列された画素に光が照射されると、各画素に照射された光の量を示す複数のデジタル信号を出力する撮像装置と、

前記撮像装置が出力するデジタル信号のデータ量を低減する前処理装置と、

デジタル信号を処理するデジタル信号処理装置と、

デジタル信号を記憶する記憶装置と、

前記前処理装置が出力するデジタル信号を前記記憶装置に格納し、かつ、前記デジタル信号を前記記憶装置から読み出して前記デジタル信号処理装置に出力する記憶制御装置と

を備える撮像システム。

2. 前記前処理装置が、前記デジタル信号の情報量を低減する情報量低減装置を備える請求項1に記載の撮像システム。

3. 前記情報量低減装置が、

2次元に配列された前記画素に光が照射されたとき、前記撮像装置が出力する複数のデジタル信号の信号量の1画面に相当する平均値である平均信号量を検出する検出装置と、

前記平均信号量が所定の値になるように、複数の前記デジタル信号に与えるべきゲインを計算する計算装置と、

前記ゲインを用いて、複数の前記デジタル信号のゲイン調整を行うゲイン調整装置と

を備える請求項2に記載の撮像システム。

4. 前記画素は、複数の色成分の光を検知する画素で構成され、

前記撮像装置は、前記画素に光が照射されると、前記画素が検知する光の量を示す複数のデジタル信号を出力し、

前記情報量低減装置が、

前記撮像装置が出力する、複数の前記色成分のいずれかに対応する複数の前記デジタル信号を用いて、複数の前記色成分について、その色成分に対応した複数

の前記デジタル信号の信号量の1画面に相当する平均値である複数の平均信号量を検出する検出装置と、

複数の前記色成分に対応する複数の前記平均信号量が一致するように、複数の前記色成分について、対応した複数の前記デジタル信号に与えるべきゲインを計算する計算装置と、
5

複数の前記色成分に対応する前記ゲインを用いて、複数の前記色成分に対応する前記デジタル信号のゲイン調整を行い、ホワイトバランス調整する第1のホワイトバランス調整装置と

を備える請求項2に記載の撮像システム。

10 5. 前記情報量低減装置が、さらに、第2のホワイトバランス調整装置を備え、

前記第2のホワイトバランス調整装置は、複数の前記色成分に対応するあらかじめ決められたゲインを用いて、前記撮像装置が出力する、複数の前記色成分に対応する複数の前記デジタル信号のゲイン調整を行い、ホワイトバランス調整し、
15

前記第1のホワイトバランス調整装置には、前記第2のホワイトバランス調整装置の出力信号を入力する請求項4に記載の撮像システム。

6. 前記情報量低減装置が、さらに、階調補正装置を備え、

前記階調補正装置は、デジタル信号の階調を補正することにより、前記撮像装置、前記ゲイン調整装置、及び前記第1のホワイトバランス調整装置のいずれから入力されるデジタル信号を、そのデジタル信号の情報量よりも小さい所定の情報量を有するデジタル信号に変換する請求項2から請求項5のいずれかに記載の撮像システム。
20

7. 前記情報量低減装置が、さらに、入力されるデジタル信号を圧縮して、前記デジタル信号の情報量を低減するデータ圧縮装置を備える請求項2から請求項6のいずれかに記載の撮像システム。
25

8. 前記データ圧縮装置が、入力される前記デジタル信号を、全て同一の情報量をもつデジタル信号に圧縮する請求項7に記載の撮像システム。

9. さらに、

前記撮像装置を駆動する駆動装置と、

前記情報量低減装置、前記記憶制御装置、及び前記デジタル信号処理装置の間のデジタル信号のやりとりを制御する機能制御装置と、

前記駆動装置及び前記機能制御装置に対して、異なる2つのモードのうち1つを設定するモード設定装置と

5 を備え、

前記情報量低減装置が、第1の情報量低減装置及び第2の情報量低減装置から成り、

前記第1の情報量低減装置及び前記第2の情報量低減装置は、前記撮像装置から出力されたデジタル信号の情報量を低減し、

10 前記機能制御装置は、

前記モード設定装置によって第1のモードが設定されると、前記第1の情報量低減装置から入力された信号を前記第2の情報量低減装置に出力し、前記第2の情報量低減装置から入力された信号を、前記記憶制御装置に出力し、前記記憶制御装置から入力された信号を、前記デジタル信号処理装置に出力し、

15 前記モード設定手段によって第2のモードが設定されると、前記第1の情報量低減装置から入力された信号を前記記憶制御装置に出力し、前記記憶制御装置から入力された信号を前記第2の情報量低減装置に出力し、前記第2の情報量低減装置から入力された信号を前記デジタル信号処理装置に出力する請求項2に記載の撮像装置。

20 10. 前記前処理装置は、複数の前記デジタル信号を間引く間引き装置を備える請求項1に記載の撮像システム。

11. 前記間引き装置は、前記記憶制御装置に、一定周期でレベルが変化する制御信号を出力し、

前記前処理装置は、前記撮像装置が出力するデジタル信号と前記制御信号とを、同時に前記記憶制御装置に出力し、

前記記憶制御装置は、前記制御信号が所定のレベルであるときに入力されるデジタル信号のみを前記記憶装置に格納する請求項10に記載の撮像システム。

12. 前記前処理装置が、さらに、補間装置を備え、

前記補間装置は、前記撮像装置が出力するデジタル信号を補間して、その補間

の結果得られる補間デジタル信号を出力し、

前記前処理装置は、前記補間デジタル信号と前記制御信号とを、同時に前記記憶制御装置に出力する請求項1-1に記載の撮像システム。

13. さらに、レリーズボタンと

前記レリーズボタンが押されているか否かを示す状態信号を出力する検知装置と、前記検知装置から出力される前記状態信号に応じて、前記間引き装置の動作を開始又は停止させる間引き制御装置と

を備える請求項1-1又は請求項1-2に記載の撮像システム。

14. さらに、第1のモード又は第2のモードに対応するモード信号を出力するモード切り替え装置と、

前記モード切り替え装置から出力される前記モード信号に応じて前記記憶制御装置を制御するモード制御装置と

を備え、

前記デジタル信号処理装置は、第1の圧縮装置と第2の圧縮装置とを備え、

前記モード制御装置は、前記第1のモードを示すモード信号が入力されると、前記記憶制御装置に、前記記憶装置から読み出した前記デジタル信号を前記第1の圧縮装置に出力させ、

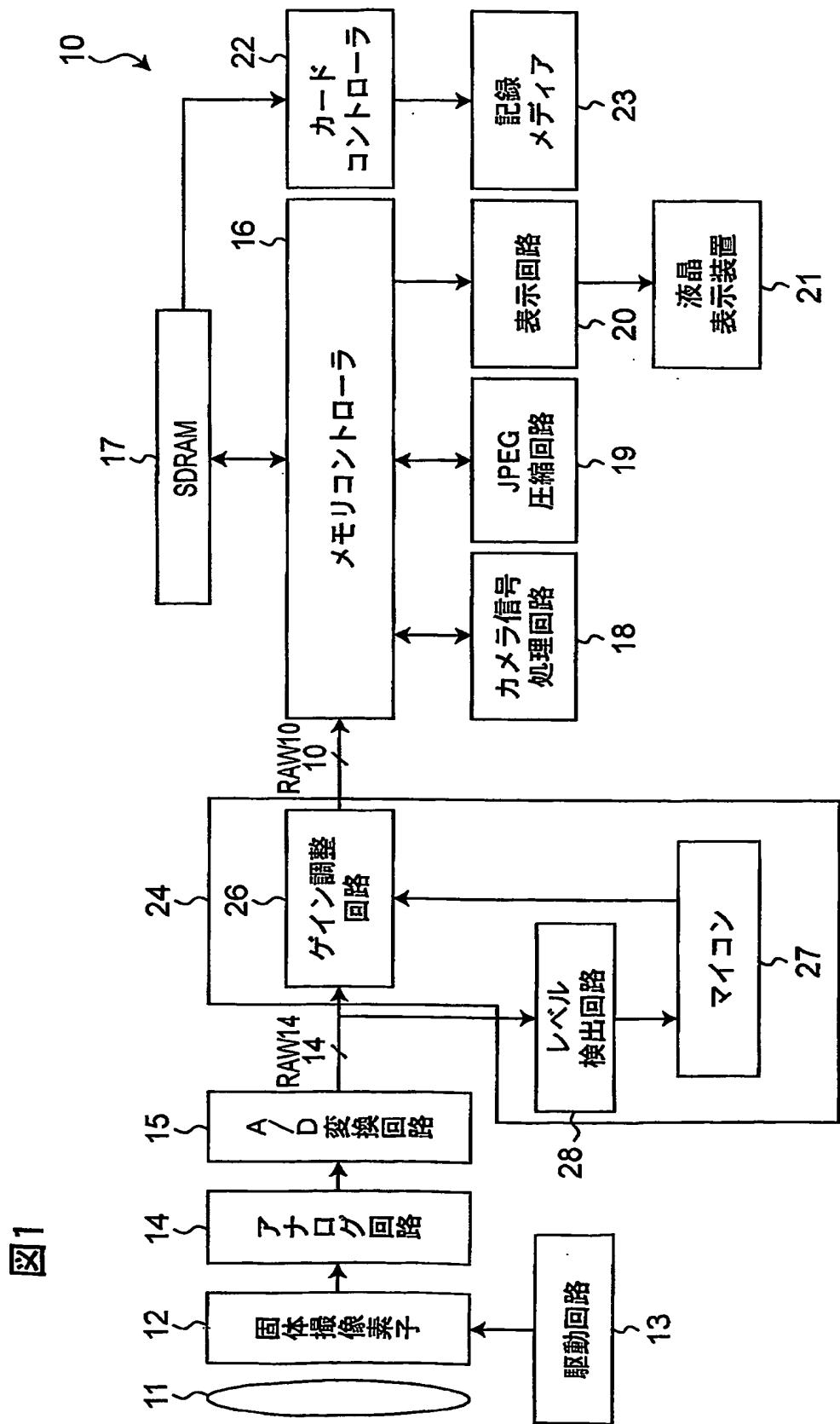
前記第2のモードを示すモード信号が入力されると、前記記憶制御装置に、前記記憶装置から読み出した前記デジタル信号を前記第2の圧縮装置に出力させる請求項1-3に記載の撮像システム。

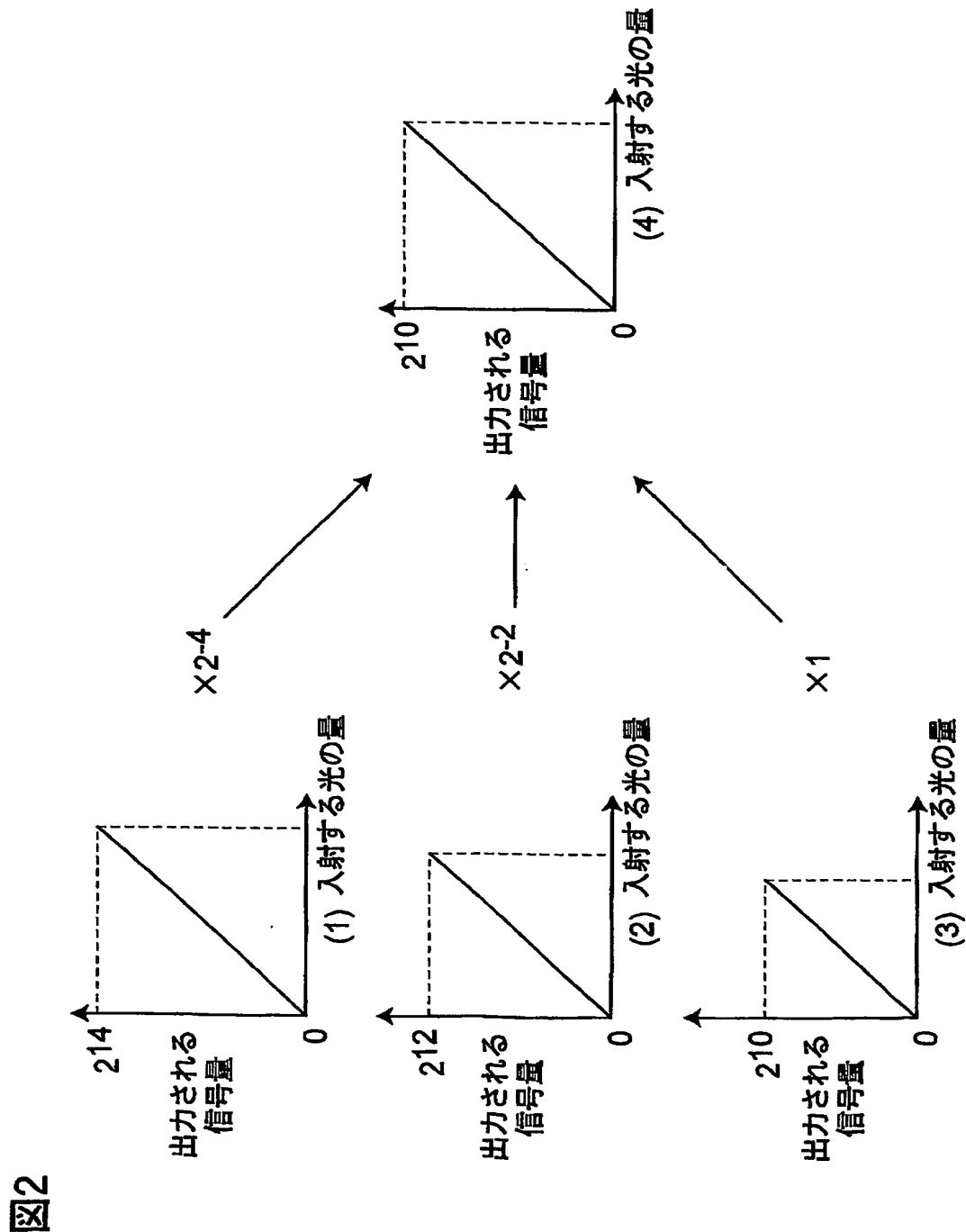
15. さらに、記録画素数を選択し、その選択した記録画素数に応じた信号を出力する記録画素数選択装置と、

前記記録画素数選択装置から出力される信号に応じて、前記デジタル信号を間引く間引き率を判断し、その間引き率に応じて、前記間引き装置が出力する前記制御信号のレベル変化の周期を制御する間引き率制御装置と

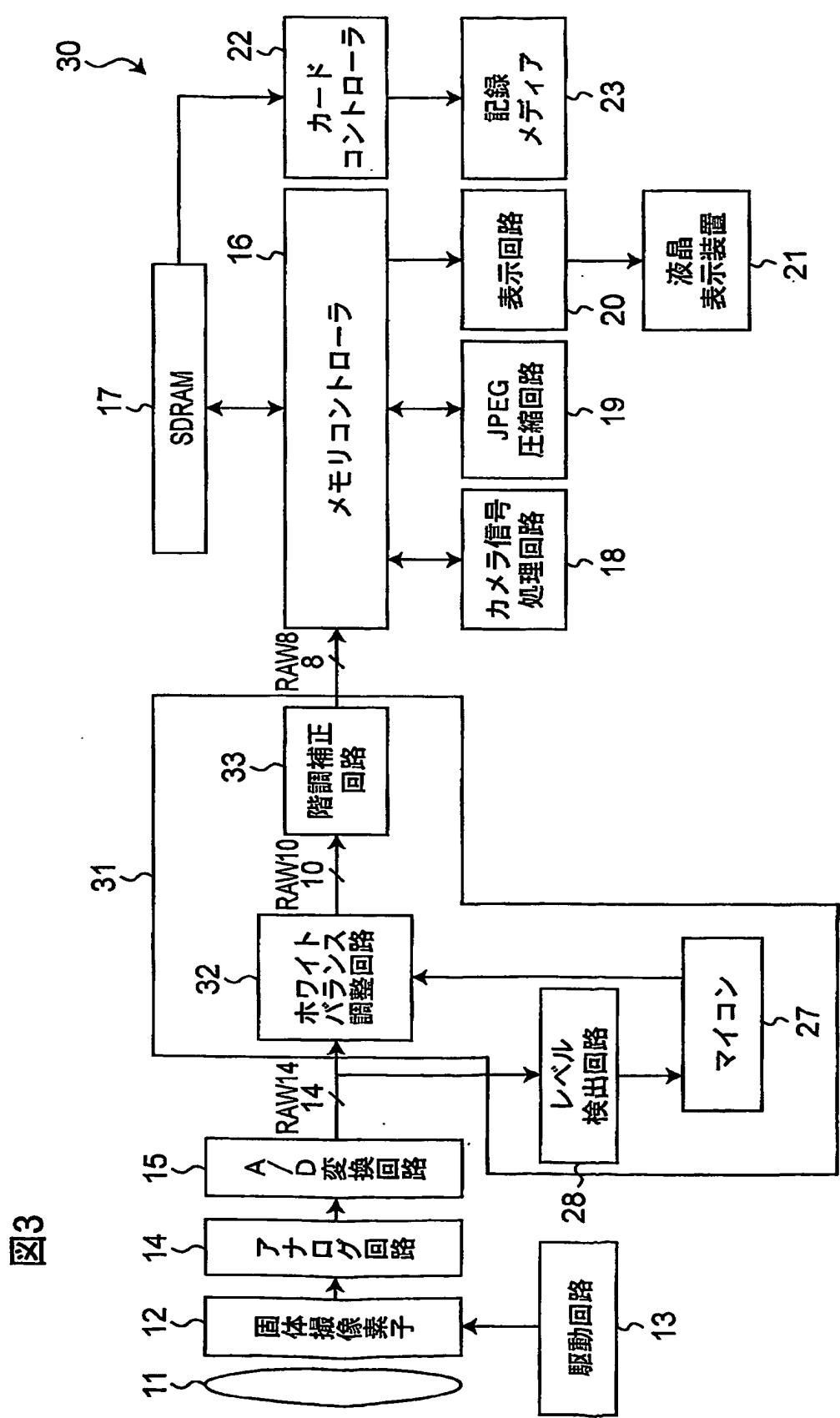
を備える請求項1-1から請求項1-4のいずれかに記載の撮像システム。

1/23





3/23



4/23

図4

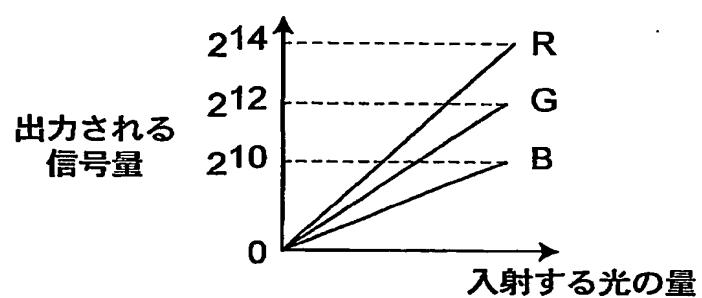
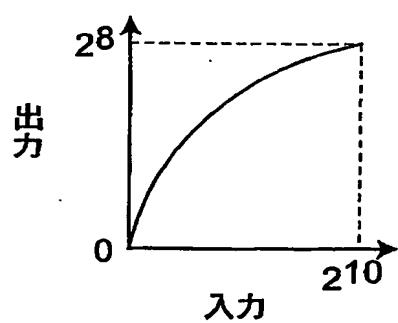
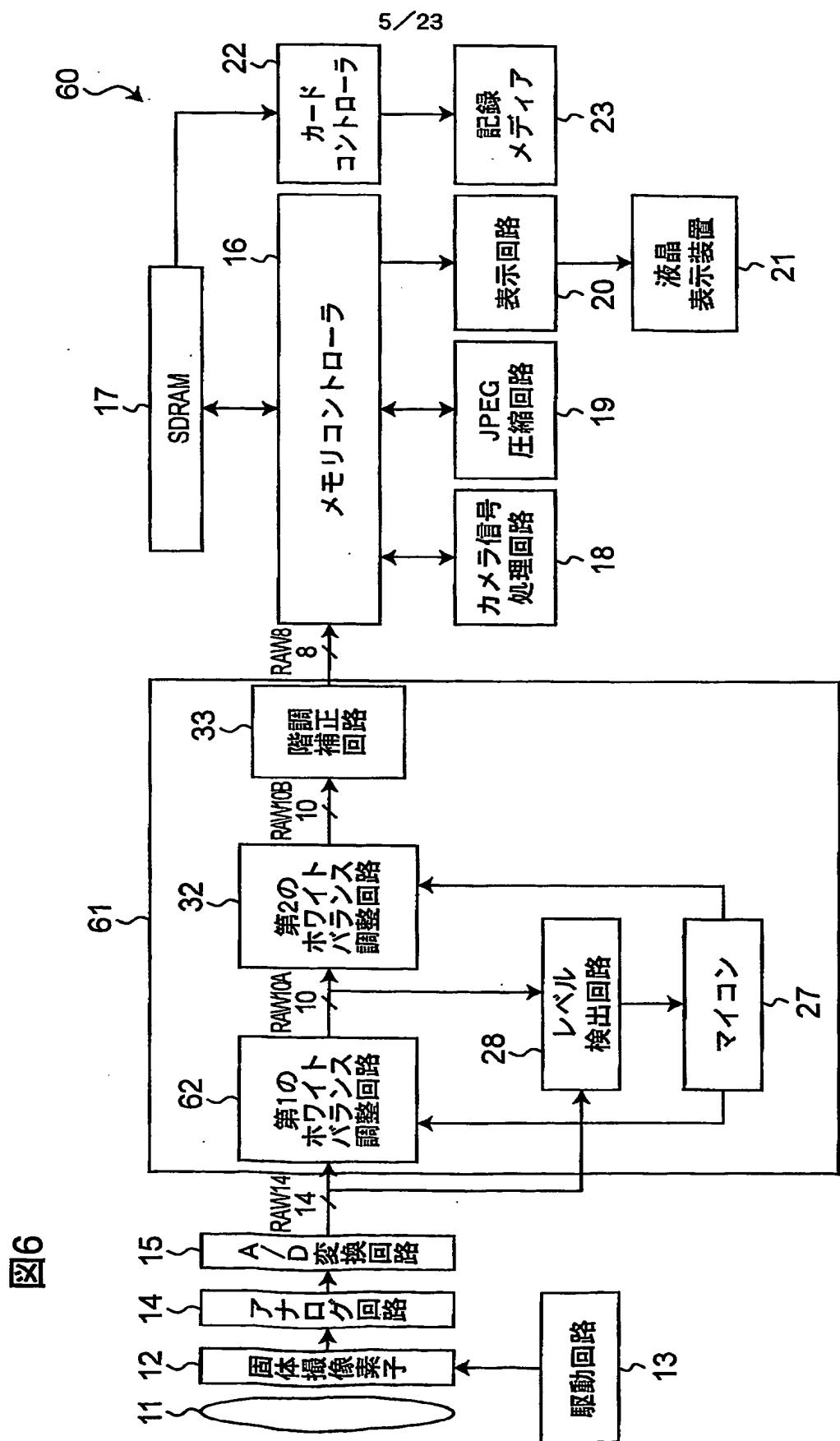
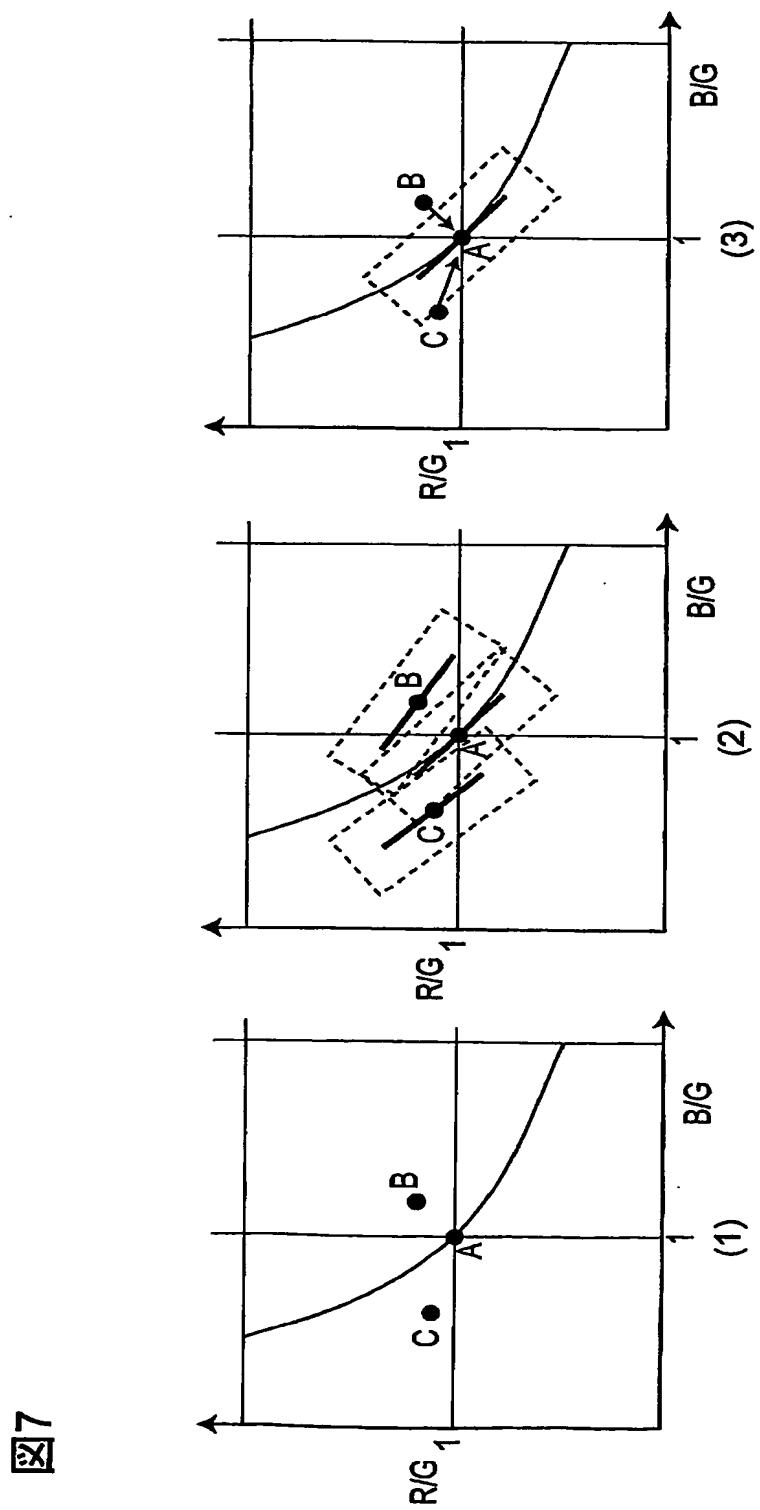


図5



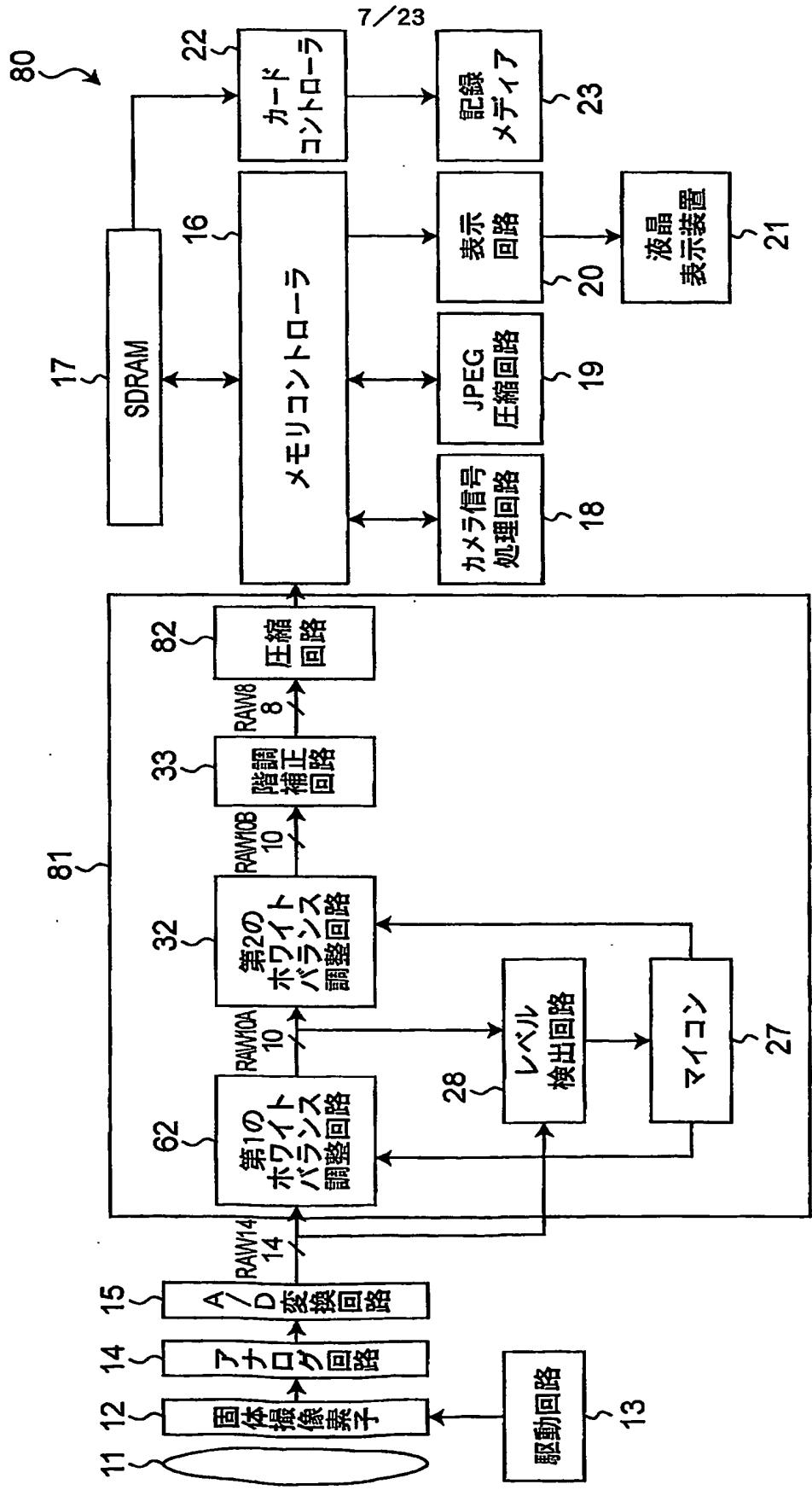


6/23



7

図8



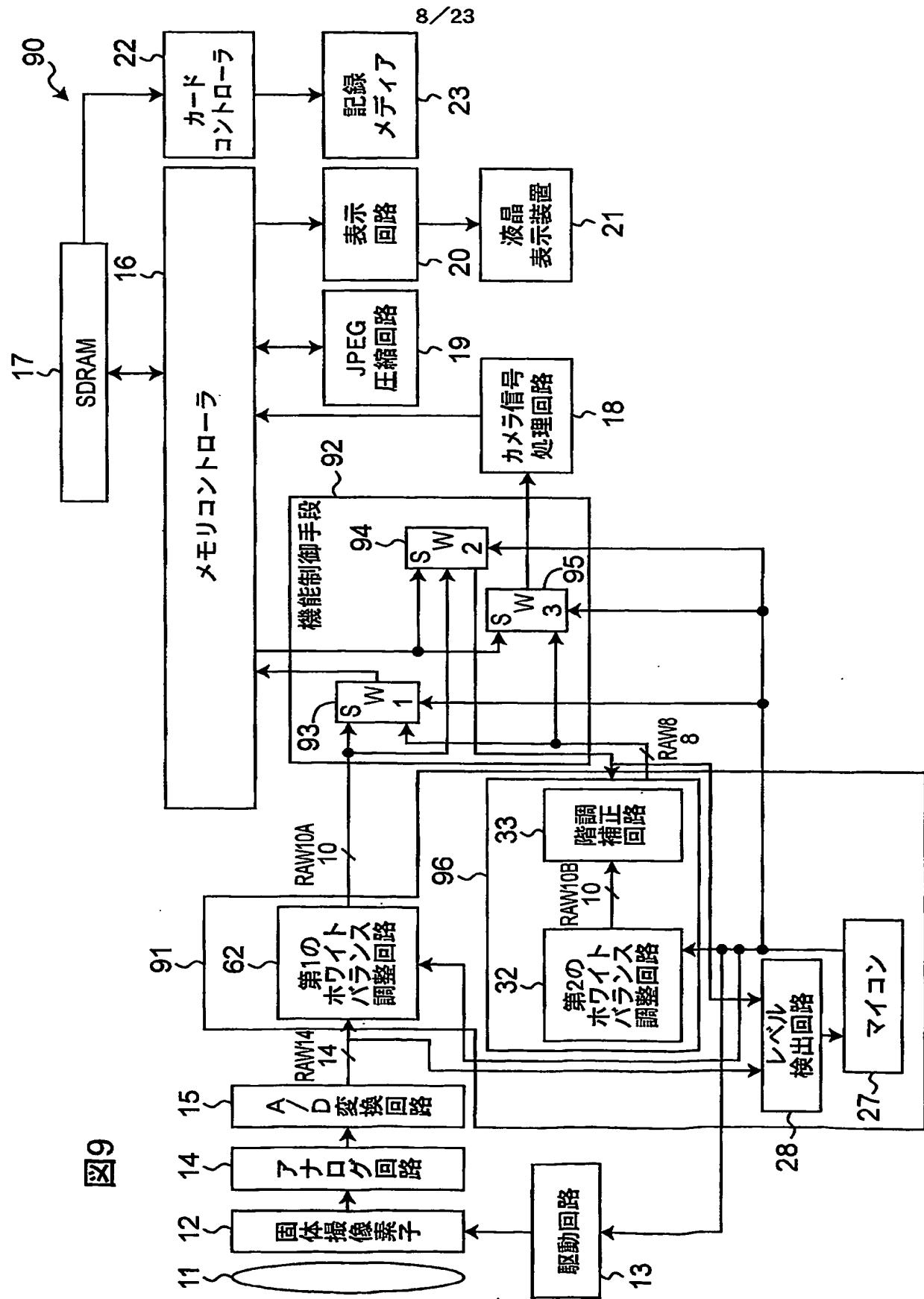
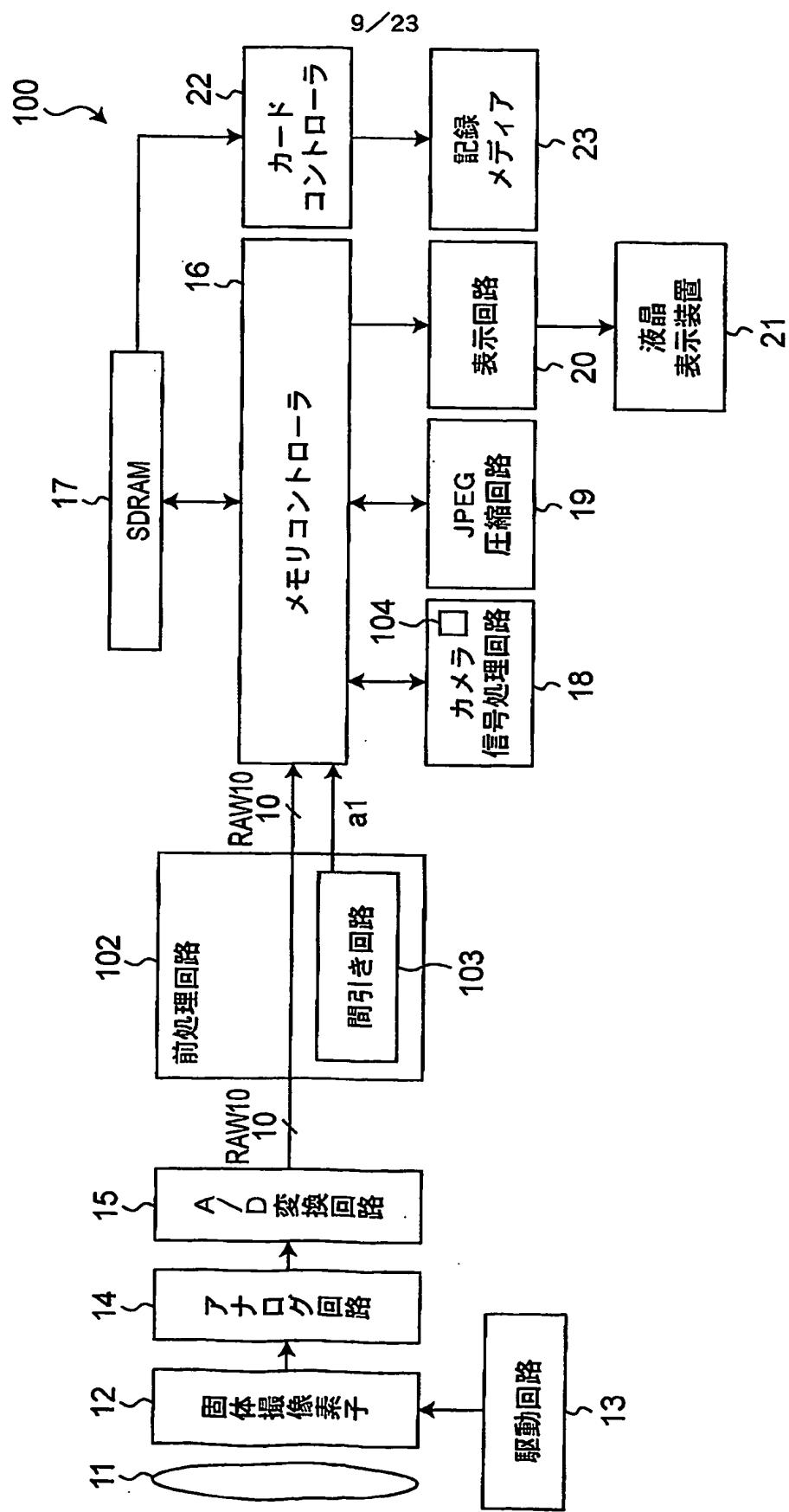
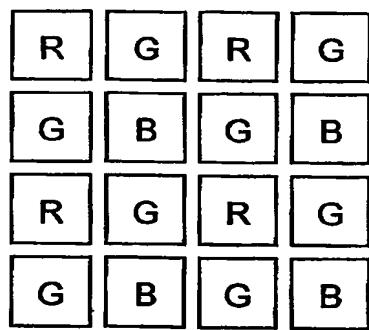


図10



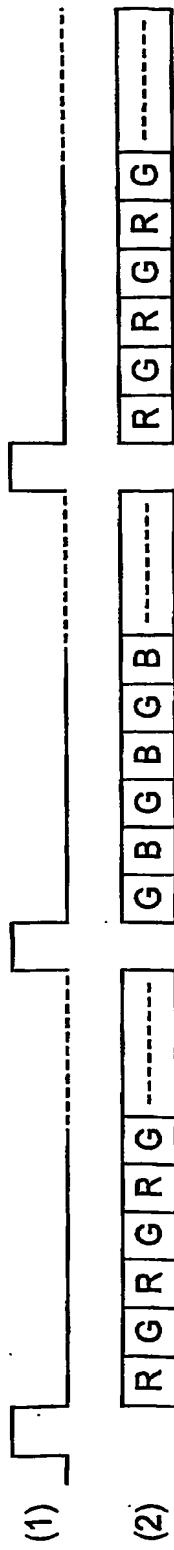
10/23

図11



11/23

图12



12/23

図13

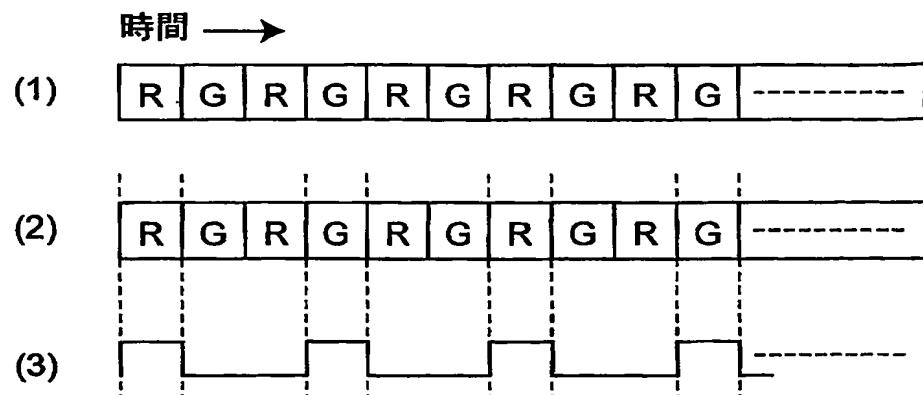


図14

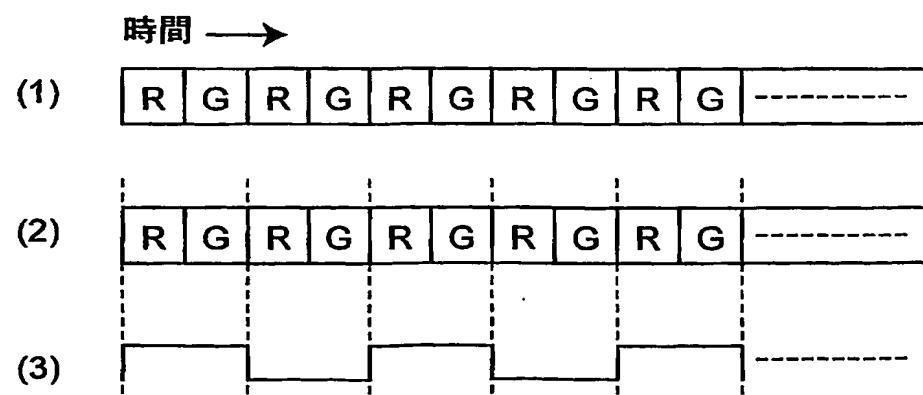


図15

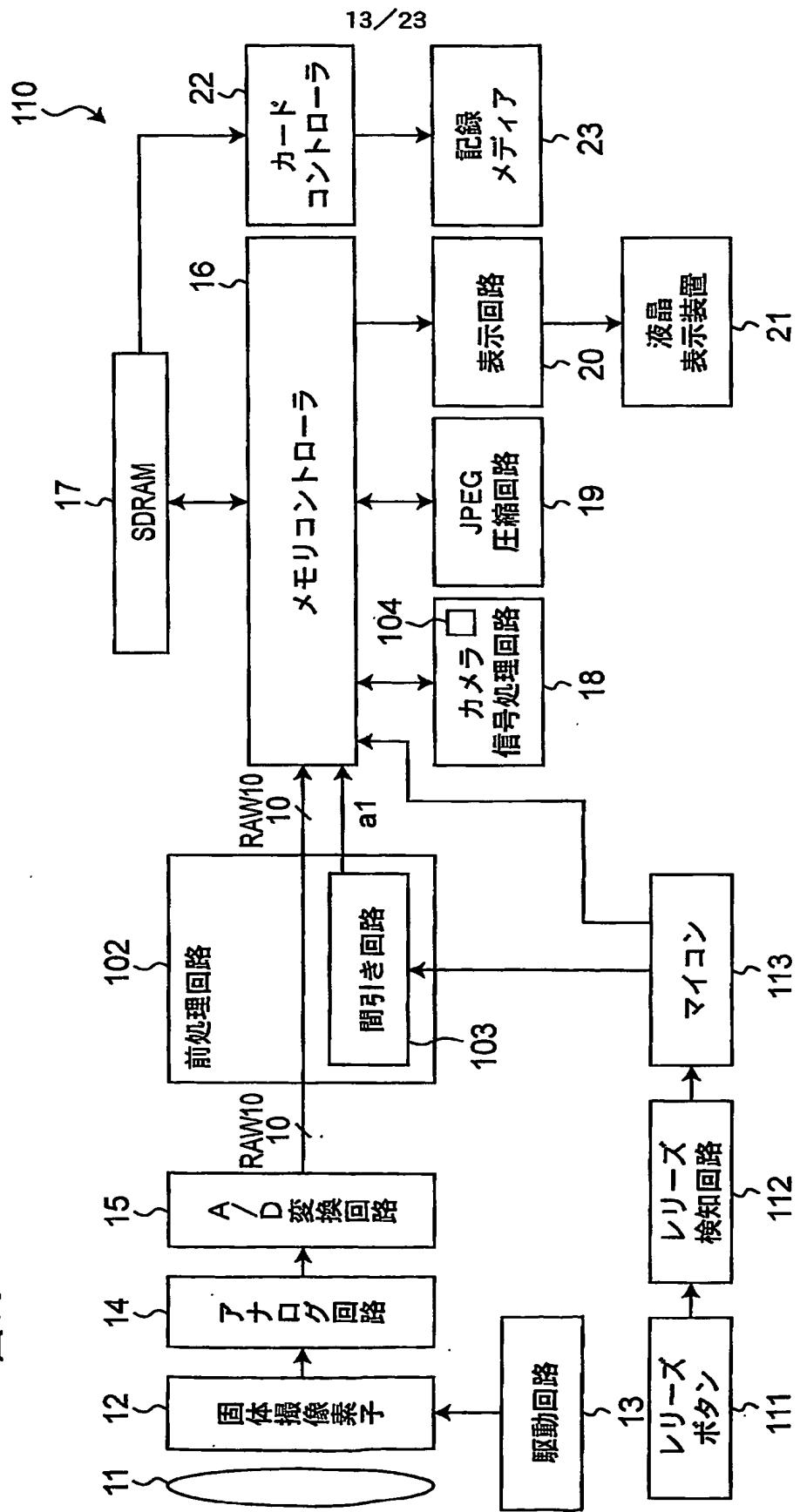


図16

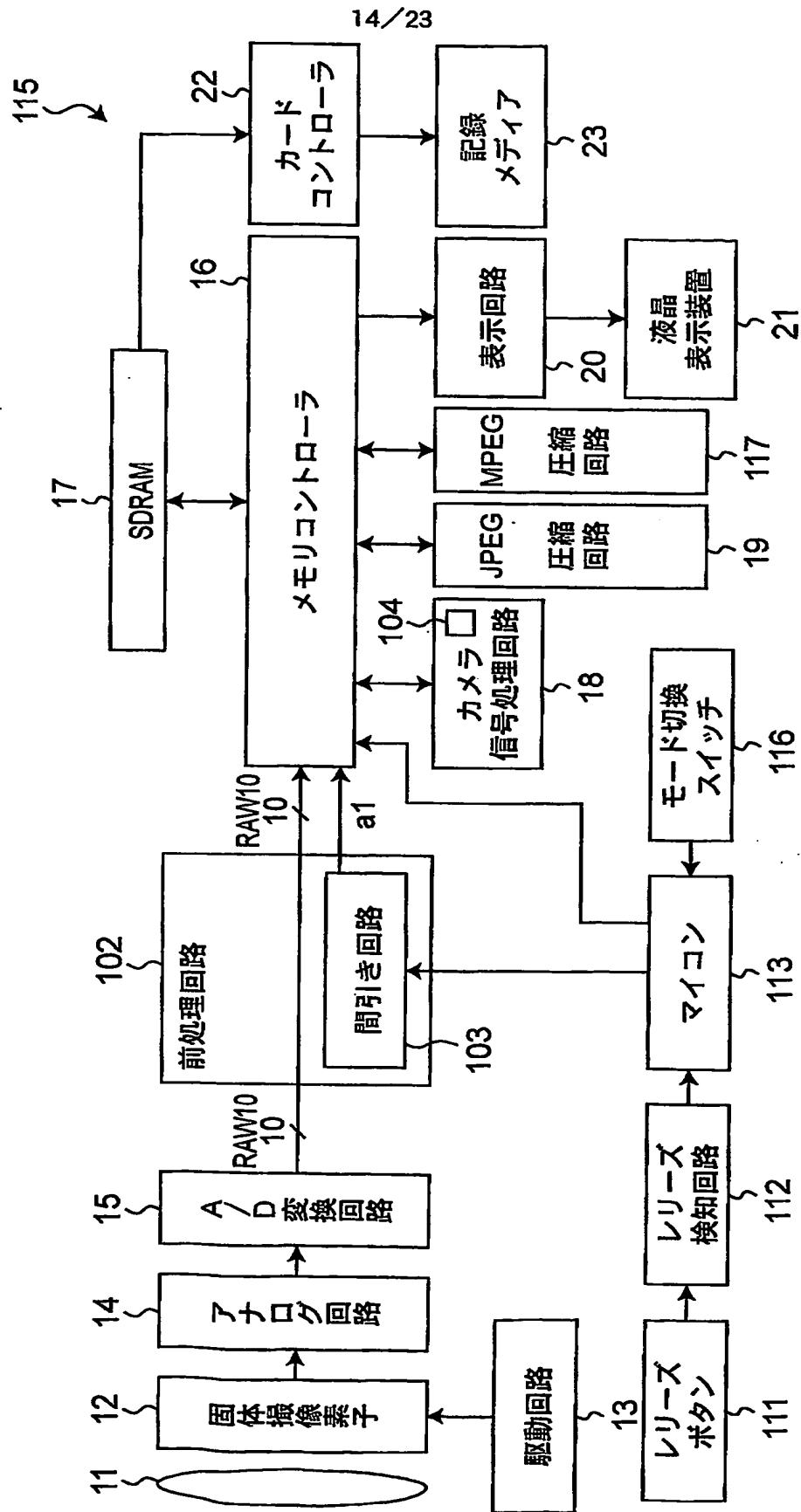
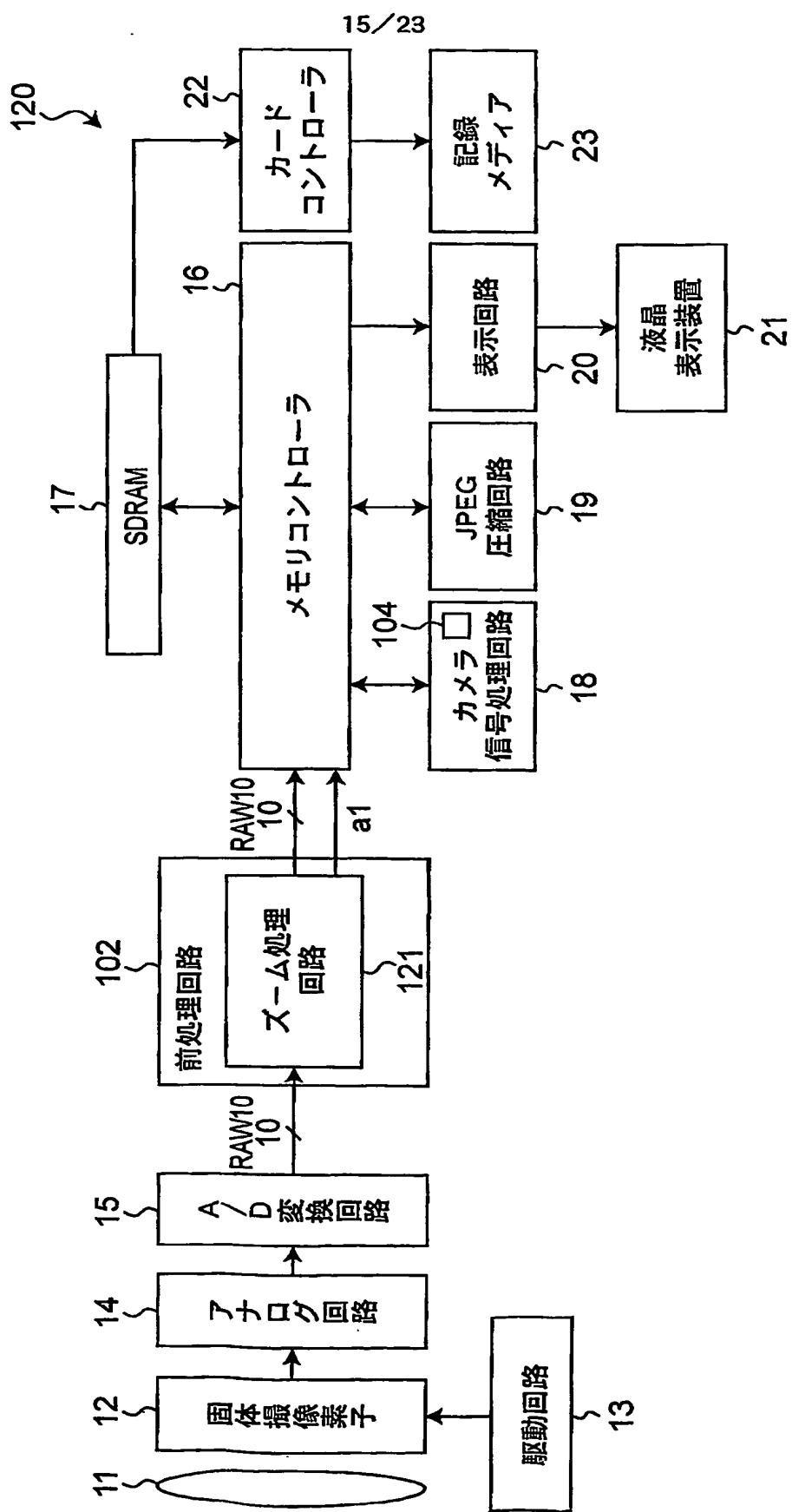


図17



16/23

図18

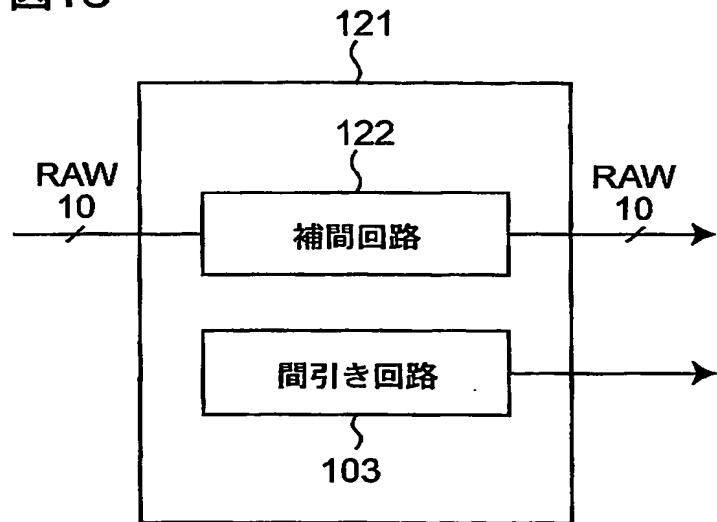
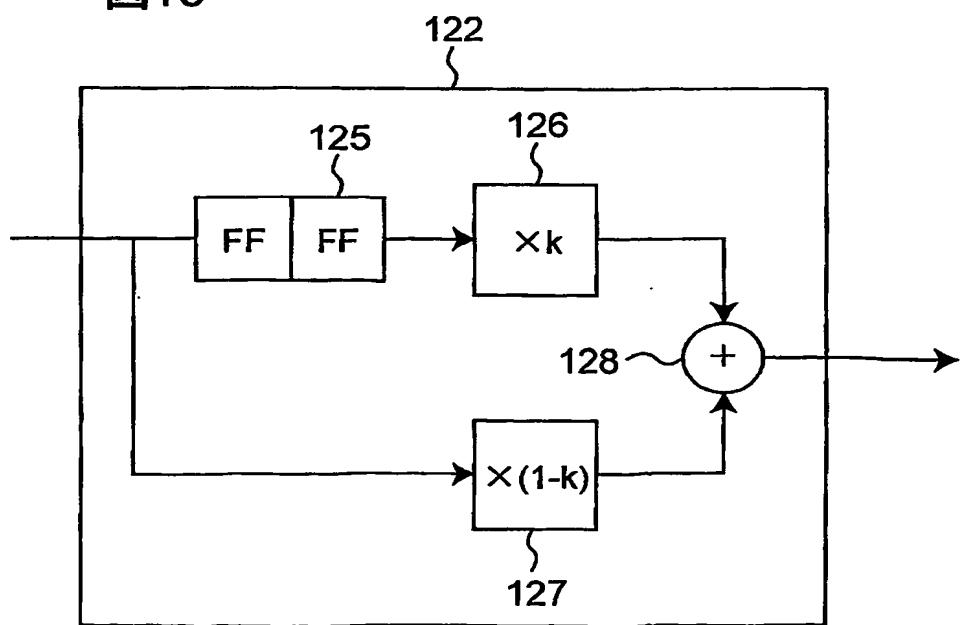


図19



17/23

図20

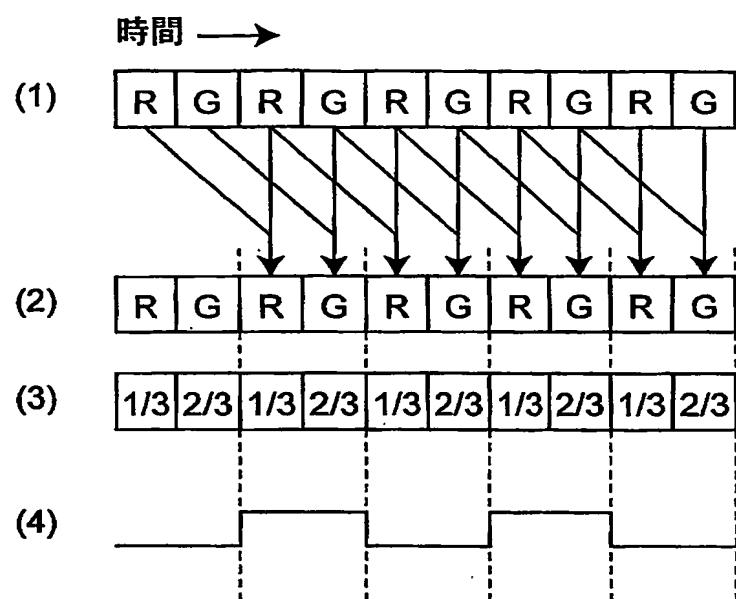


図21



18/23

図22

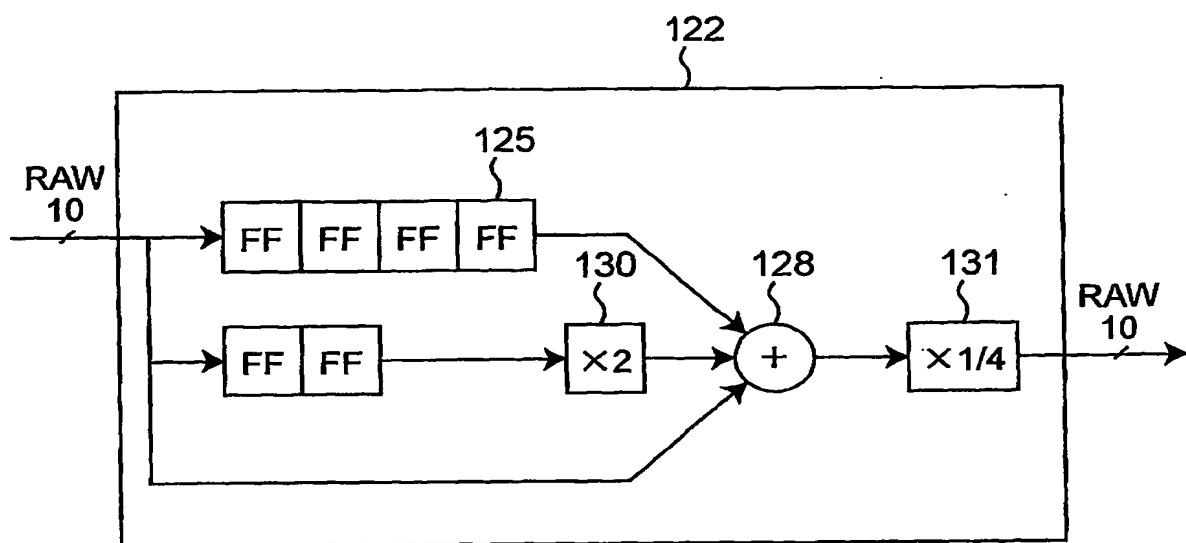


図23

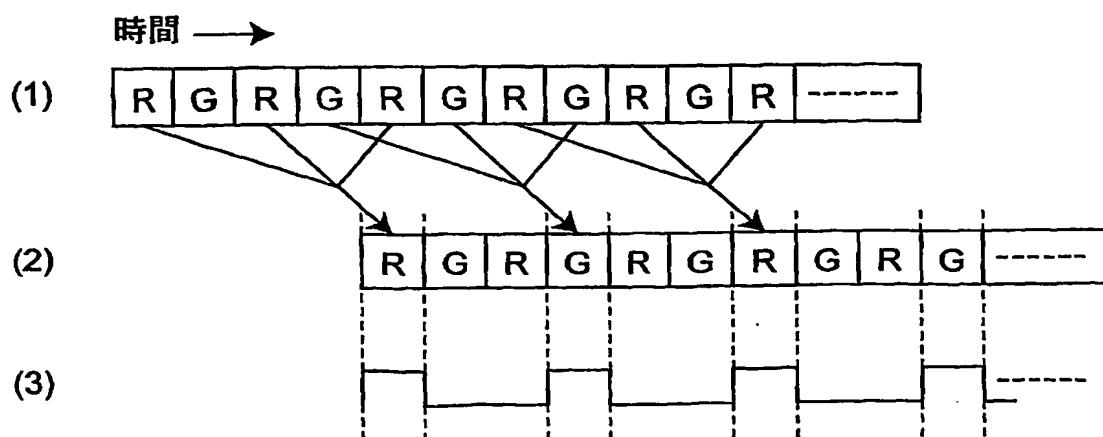


図24

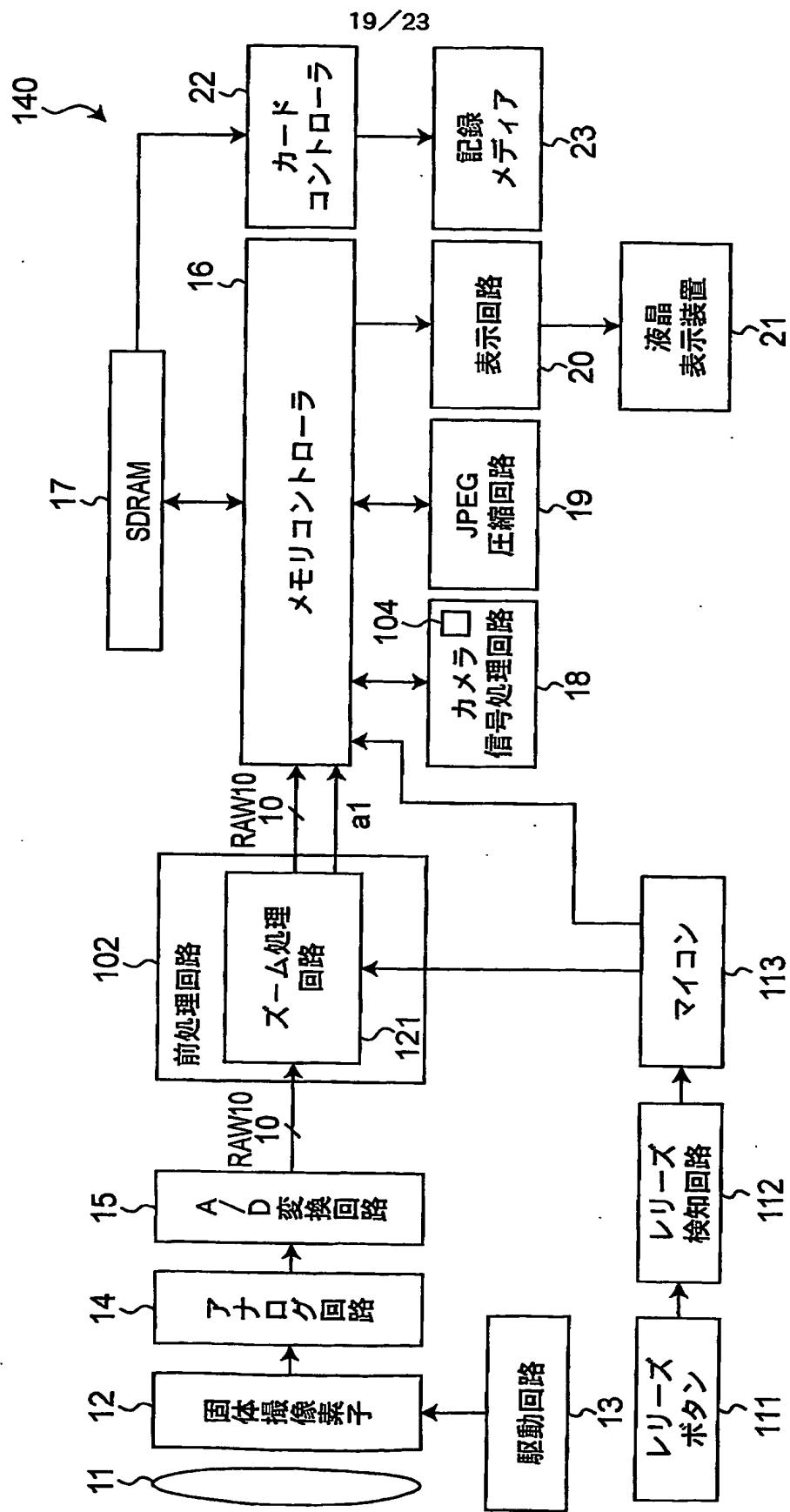


図25

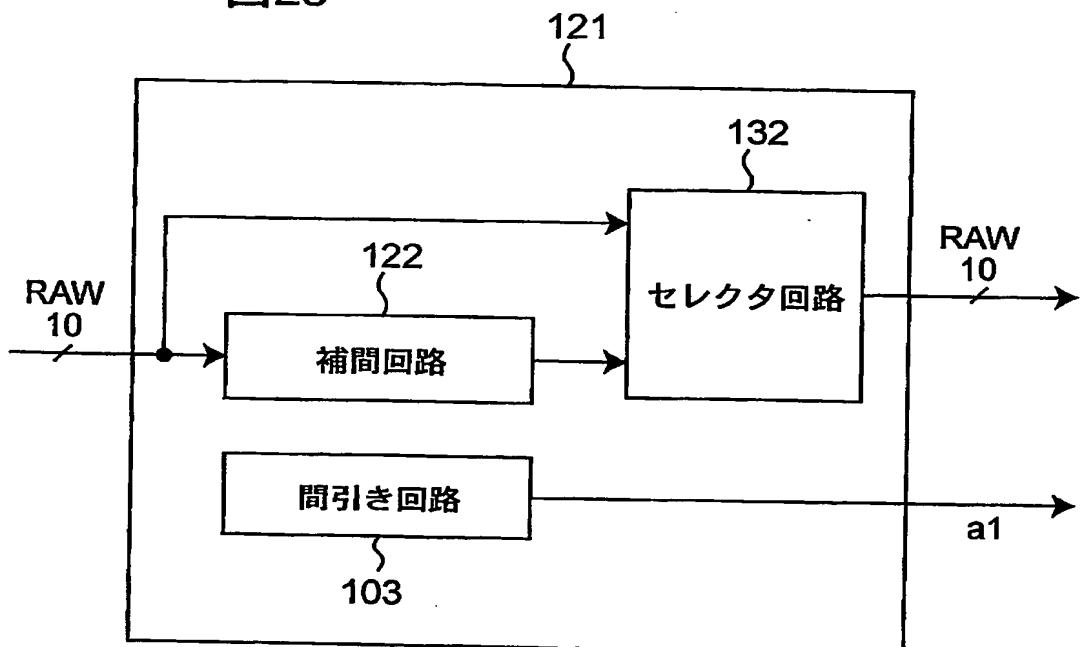


図26

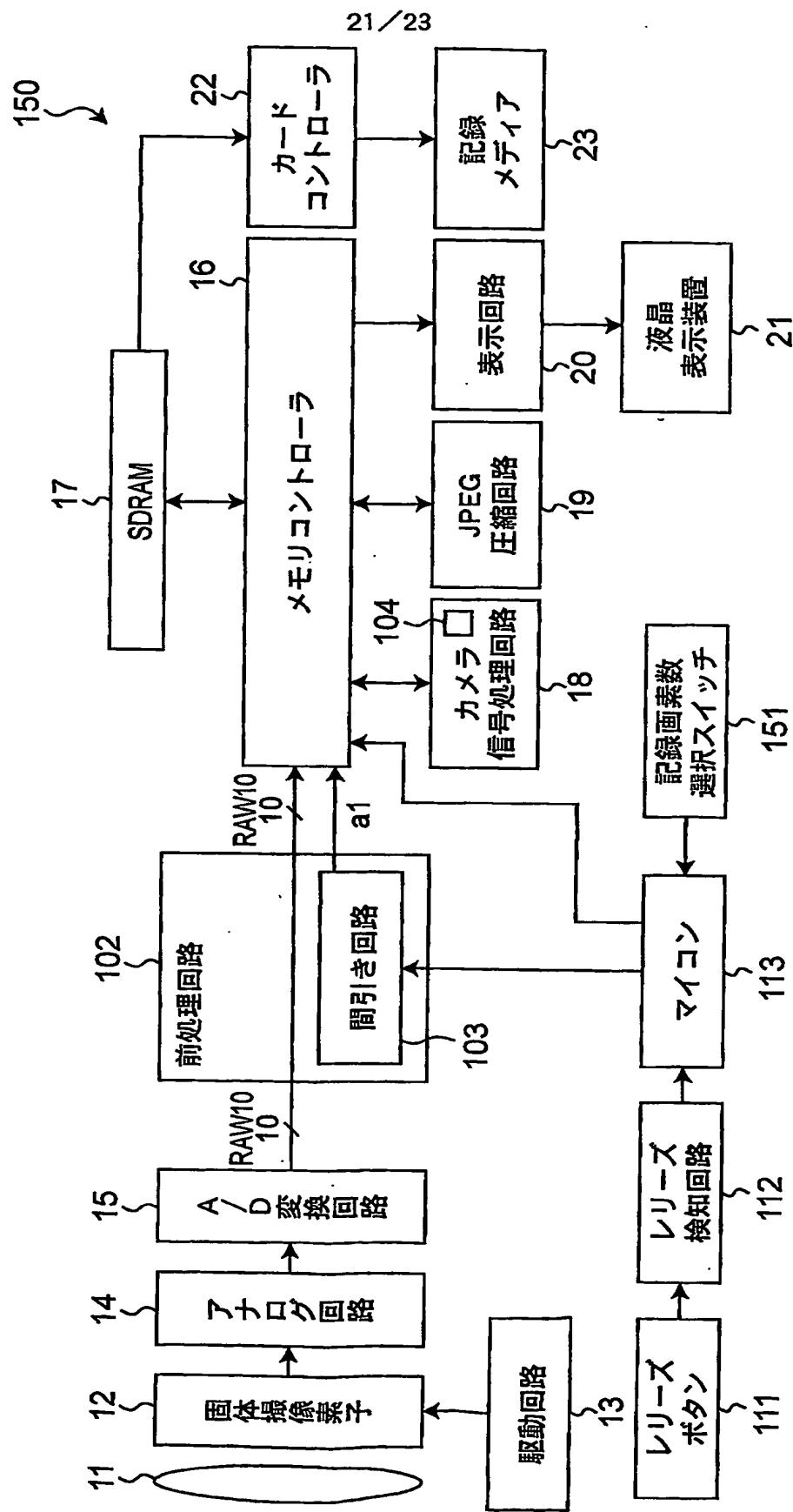
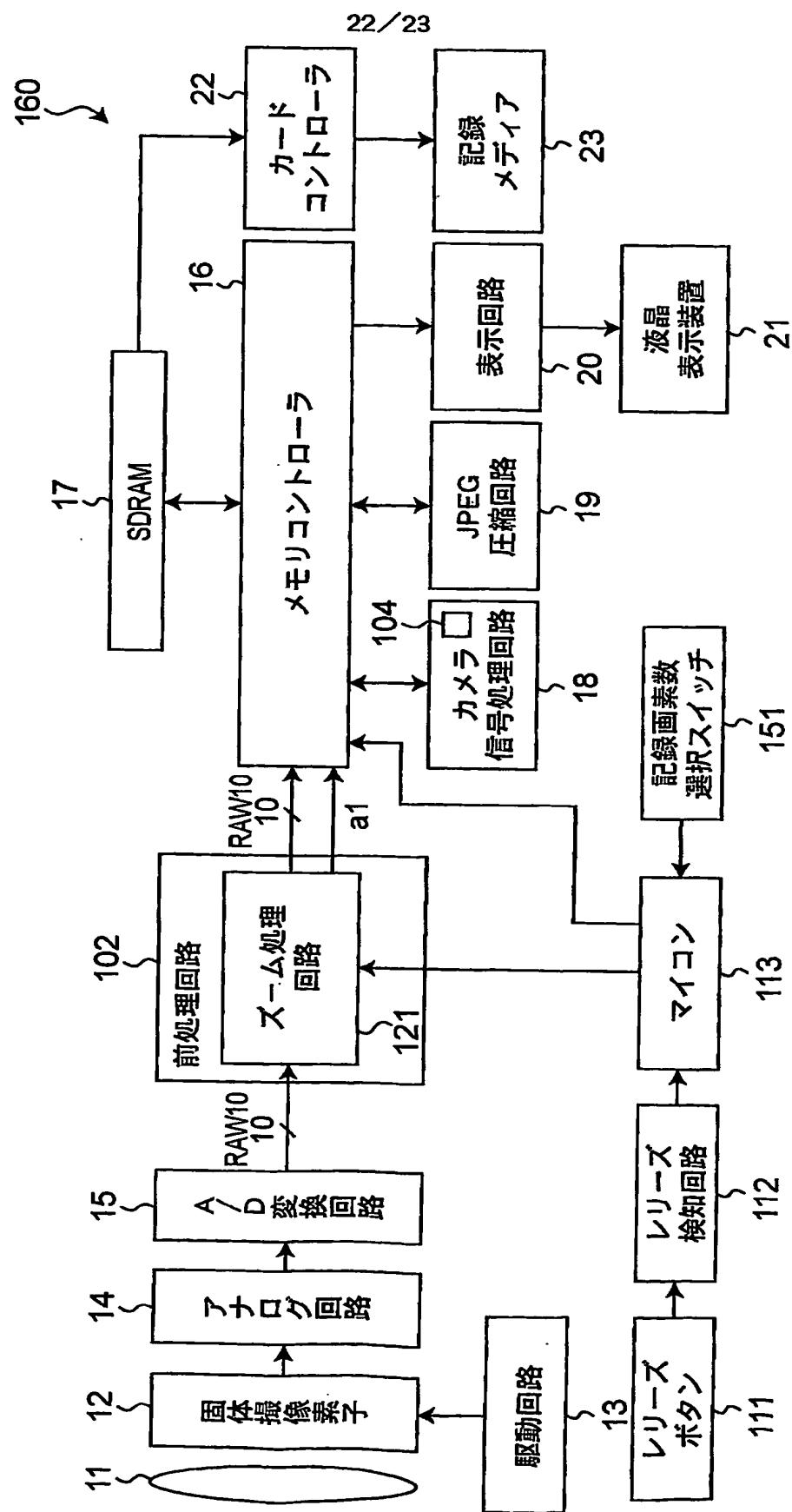
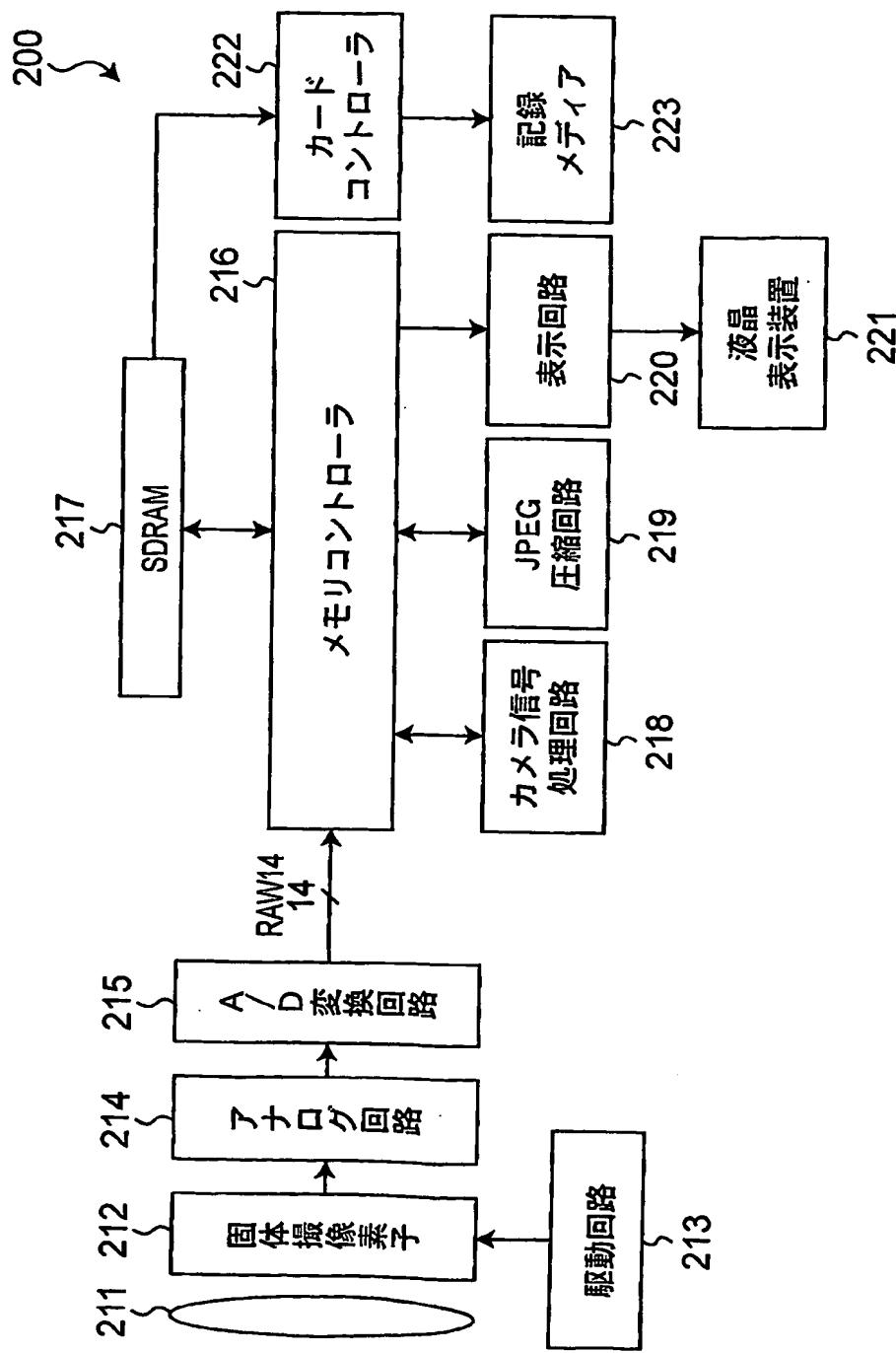


図27



23/23

図28



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09407

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N5/232

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N5/222-5/257, 9/04-9/11Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-92376 A (Sony Corp.), 31 March, 2000 (31.03.00), Full text; all drawings (Family: none)	1-4, 6, 10, 11, 13, 15 5, 7-9, 12, 14
A	JP 2000-59656 A (Minolta Co., Ltd.), 25 February, 2000 (25.02.00), Full text; all drawings (Family: none)	1-4, 6 5, 7-15
X	JP 2000-354193 A (Sony Corp.), 31 March, 2000 (31.03.00), Par. Nos. [0047] to [0060]; Fig. 11 (Family: none)	1, 2, 10, 11, 13 3-9, 12, 14, 15
A		

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
25 November, 2003 (25.11.03)Date of mailing of the international search report
16 December, 2003 (16.12.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' H04N5/232

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' H04N5/222-5/257, 9/04-9/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2000-92376 A (ソニー株式会社) 2000. 03. 31, 全文, 全図 (ファミリーなし)	1-4, 6, 10, 11, 13, 15 5, 7-9, 12, 14
A		
X	J P 2000-59656 A (ミノルタ株式会社) 2000. 02. 25, 全文, 全図 (ファミリーなし)	1-4, 6 5, 7-15
A		
X	J P 2000-354193 A (ソニー株式会社) 2000. 03. 31, 【0047】-【0060】 , 第11図 (ファミリーなし)	1, 2, 10, 11, 13 3-9, 12, 14, 15
A		

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上との文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

25. 11. 03

国際調査報告の発送日

15.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

井上 健一

5 P 9373

電話番号 03-3581-1101 内線 3502